

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ  
РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ  
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО  
ПРОФЕССИОНАЛЬНОГО ОБРАЗОВАНИЯ «МОСКОВСКИЙ  
ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ  
РАДИОТЕХНИКИ, ЭЛЕКТРОНИКИ И АВТОМАТИКИ»

Подлежит возврату

№ **0000**

**ИНТЕГРАЛЬНАЯ СХЕМОТЕХНИКА  
ИНФОРМАЦИОННО-УПРАВЛЯЮЩИХ  
СИСТЕМ**

**(ИНТЕГРАЛЬНАЯ СХЕМОТЕХНИКА  
ИНФОРМАЦИОННЫХ СИСТЕМ)**

Методические указания  
по выполнению лабораторных работ

МОСКВА 2012

Составители: В.Т. Лузинский, А.М. Набатчиков  
Редактор А.В. Кочемасов

Настоящие методические указания по выполнению лабораторных работ по курсу "Интегральная схемотехника информационно-управляющих систем" предназначены для студентов специальности 220201.65 «Управление и информатика в технических системах», направления подготовки 220400.62 «Управление в технических системах». Методические указания содержат четыре лабораторные работы по интегральным цифровым микросхемам транзисторно-транзисторной логики. При выполнении этих работ студенты изучают основные логические элементы, шифраторы и дешифраторы, триггеры и счетчики, а также методы их исследования средствами системы схемотехнического моделирования Electronics Workbench. Каждая лабораторная работа выполняется в течение 4-х учебных часов.

Печатаются по решению редакционно-издательского совета университета.

Рецензенты: В.Л. Лотоцкий  
М.Х.Дорри

© МГТУ МИРЭА, 2012

Методические указания напечатаны в авторской редакции

Подписано в печать XX.XX.2012. Формат 60x84 1/16.

Усл. печ. л. XX. Усл. кр.-отг. XX. Уч.-изд. л. XXX.

Тираж 100 экз. Заказ XXX. Бесплатно

Федеральное государственное бюджетное образовательное  
учреждение высшего профессионального образования  
“Московский государственный технический университет  
радиотехники, электроники и автоматики”  
119454, Москва, пр. Вернадского, 78

## ЛАБОРАТОРНАЯ РАБОТА N1. Основные логические элементы

### 1. Цель работы

Целью работы является изучение основных логических элементов промышленных серий цифровых микросхем транзисторно-транзисторной логики (ТТЛ), приобретение практических навыков работы с ними, освоение методов анализа логических схем с использованием системы схемотехнического моделирования Elrctronics Workbench.

### 2. Основные положения алгебры логики

Логическими схемами называют устройства, которые в процессе работы могут принимать только два состояния, условно обозначаемые как 0 и 1. Такими устройствами являются, например, электромагнитное реле, транзисторный ключ, а также различные схемы, построенные на их основе. На логических схемах строятся различные дискретные управляющие устройства и вся цифровая вычислительная техника.

Алгебра логики или булева алгебра является основным математическим аппаратом, используемым при анализе и разработке логических схем и цифровых автоматов. Алгебра логики рассматривает логические переменные, которые принимают значения 0 и 1, и различные действия над ними. Базовыми операциями, через которые можно представить любую логическую функцию, являются логическое умножение (конъюнкция, функция И), логическое сложение (дизъюнкция, функция ИЛИ), логическое отрицание (инверсия, функция НЕ).

Правила выполнения базовых операций устанавливаются в виде аксиом. Эти правила можно записать с помощью таблицы истинности (таблица 1).

Таблица 1.

$x=a \cdot b$	$x=a+b$	$\bar{a}$																																				
<table border="1" style="border-collapse: collapse; text-align: center;"> <tr><td></td><td>b</td><td>x</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>		b	x	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1" style="border-collapse: collapse; text-align: center;"> <tr><td></td><td>b</td><td>x</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>		b	x	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1" style="border-collapse: collapse; text-align: center;"> <tr><td>a</td><td></td></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	a		0	1	1	0
	b	x																																				
0	0	0																																				
0	1	0																																				
1	0	0																																				
1	1	1																																				
	b	x																																				
0	0	0																																				
0	1	0																																				
1	0	0																																				
1	1	1																																				
a																																						
0	1																																					
1	0																																					

Кроме обычных алгебраических законов (переместительного, сочетательного и распределительного) в булевой алгебре имеют место свои специфические законы:

Закон поглощения:

$$a + F(a, \bar{a}, x, y, z, \dots) = a + F(0, 1, x, y, z, \dots).$$

Закон склеивания:

$$a \cdot F(a, \bar{a}, x, y, z, \dots) = a \cdot F(1, 0, x, y, z, \dots).$$

Закон инверсии (правило де Моргана):

$$\overline{a + b} = \bar{a} \cdot \bar{b}, \quad \overline{a \cdot b} = \bar{a} + \bar{b}.$$

Аксиомы и законы алгебры логики адекватны функционированию двоичных переключающих схем. Сложные переключающие схемы строятся из простых элементов, реализующих базовые логические операции. Функционально полным набором базовых элементов, из которых можно построить произвольную переключающую схему любой сложности, является набор элементов И, ИЛИ, НЕ. Две другие функционально полные системы состоят из единственного элемента И-НЕ или ИЛИ-НЕ, которые называют также штрих Шеффера и стрелкой Пирса. На рис.1 показаны обозначения основных логических элементов.

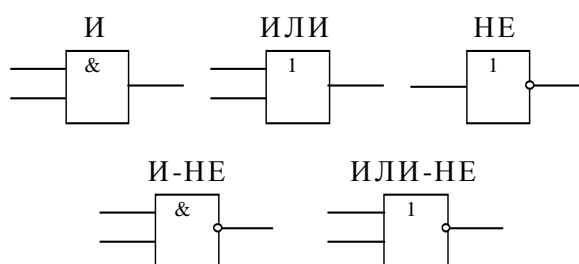


Рис.1

### 3. Основные сведения о логических элементах

Базовый логический элемент транзисторно-транзисторной логики (ТТЛ) показан на рис.2а.

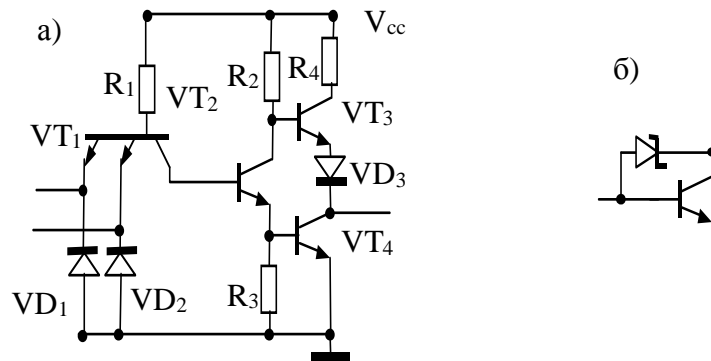


Рис.2

Элемент выполняет логическую функцию И-НЕ ( $x \cdot y$ ). Основным логическим элементом схемы является многоэмиттерный транзистор  $VT_1$ , который выполняет логическую операцию И. Транзистор  $VT_2$  является инвертором. Выходной усилительный каскад построен на транзисторах  $VT_3$  и  $VT_4$ .  $VT_3$  включен как эмиттерный повторитель,  $VT_4$  – как каскад с общим эмиттером. Диод  $VD_3$  обеспечивает надежное закрытие транзистора  $VT_3$  при открытом состоянии транзистора  $VT_4$ . Диоды  $VD_1$  и  $VD_2$  защищают схему от отрицательных входных напряжений.

Уровни логических сигналов должны удовлетворять следующим ограничениям. Входное напряжение логического нуля не должно превышать  $V_{IL} < 0.8V$ , входное напряжение логического единицы должно быть не менее  $V_{IH} > 2.0V$ . Выходное напряжение логического нуля не должно превышать  $V_{OL} < 0.4V$ , выходное напряжение логического единицы должно быть не менее  $V_{OH} > 2.4V$ .

В дальнейшем в целях повышения быстродействия в усилительных каскадах были использованы транзисторы с диодом Шоттки (рис.2б). Диод Шоттки устраняет насыщение транзистора при открытом состоянии и способствует более быстрому его переключению.

Ниже в таблице 2. приведены типовые параметры основных серий ТТЛ цифровых микросхем. В таблице приведены аналоги отечественных серий фирмы Texas Instruments Inc.

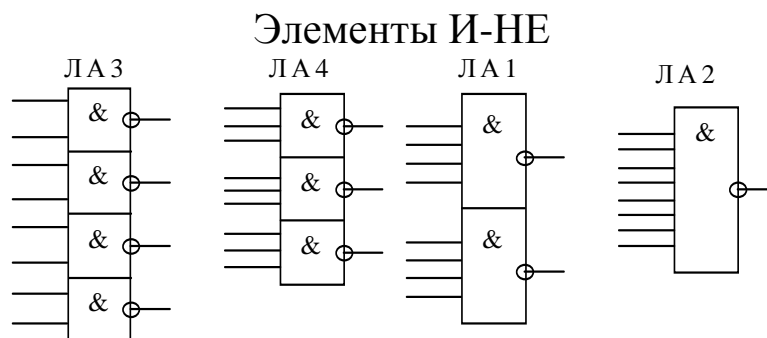
Обозначения параметров, приведенных в таблице:

$t$  – задержка переключения,  
 $P$  – потребляемая мощность на один вентиль,  
 $I_{ih}$  – входной ток при логической единице на входе,  
 $I_{il}$  – входной ток при логическом нуле на входе,  
 $I_{oh}$  – выходной ток при логической единице на выходе,  
 $I_{ol}$  – выходной ток при логическом нуле на выходе,  
 $F$  – предельная рабочая частота переключений.

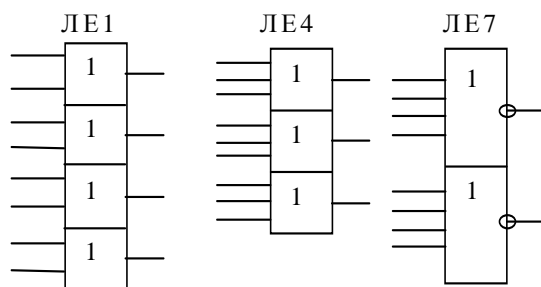
Таблица 2. Основные параметры ТТЛ элементов

Серии ИС	$t$ (нс)	$P$ (мВт)	$I_{ih}$ (мкА)	$I_{il}$ (мА)	$I_{oh}$ (мА)	$I_{ol}$ (мА)	$F_{max}$ (МГц)
133/155 SN54/74	10	10	40	1.6	0.4	16	35
136/134 SN54/74L	33	1	10	0.18	0.2	3.6	3
130/131 SN54/74H	6	22	50	2	0.5	20	50
530/531 SN54/74S	3	19	50	2	1	20	125
533/555 SN54/74LS	9.5	2	20	0.4	0.4	8	45
1533/КР1533 SN54/74ALS	4	1	20	0.1	0.4	8	50
1530/КР1530 SN54/74AS	1.5	22	20	0.5	2.0	20	200
1531/КР1531 SN54/74F	2	4	20	0.6	1.0	20	130

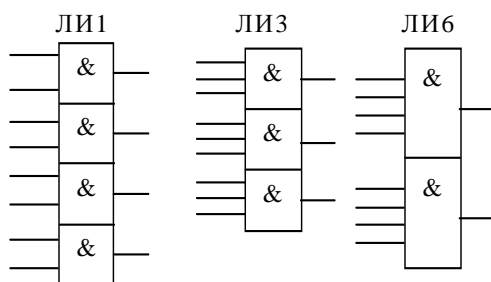
На рис. 3 приведены основные логические элементы, обычно включающиеся в состав серий ТТЛ элементов.



### Элементы ИЛИ-НЕ



### Элементы И



### Элементы ИЛИ и исключающее ИЛИ

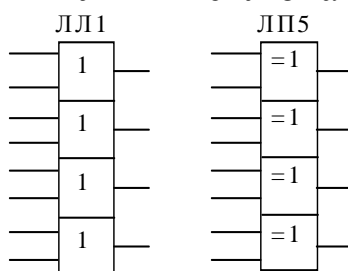


Рис.3

## 4. Приборы системы Electronics Workbench для анализа логических схем

В настоящее время при разработке радиоэлектронных устройств широко используются методы автоматизированного проектирования, основу которых составляют программные системы моделирования электронных схем.

Широко известны системы Micro-Cap V, DisignLab и другие. Для системы Electronics Workbench характерны простота и наглядность, которая делает целесообразным ее использование

для неподготовленных и начинающих пользователей, в частности, в процессе обучения студентов.

Библиотека компонентов системы Elrctronics Workbench не слишком обширна, но достаточна для учебных целей. Процесс разработки электронного устройства довольно прост, но все-таки требует определенного навыка. Поэтому схемы для исследования подготовлены заранее и вводятся из соответствующего файла. Запуск моделирования осуществляется кнопкой пуска. Создание тестовых ситуаций и контроль результатов моделирования осуществляется с помощью приборов, имеющихся в составе системы Elrctronics Workbench.

Для анализа логических микросхем в системе схемотехнического моделирования Elrctronics Workbench имеются следующие приборы :

- генератор слов,
- логический анализатор,
- логический преобразователь.

Ниже приводится их краткое описание.

#### 4.1. Генератор слов

Генератор слов можно включить в состав схемы используя меню системы Elrctronics Workbench, раздел Insrumets, пункт Word Generator. Генератор слов (рис.4) позволяет генерировать произвольную последовательность из 2048 16-ти разрядных двоичных слов.

Развернутое изображение генератора слов (рис.5) можно получить двойным нажатием клавиши мыши на значке генератора.



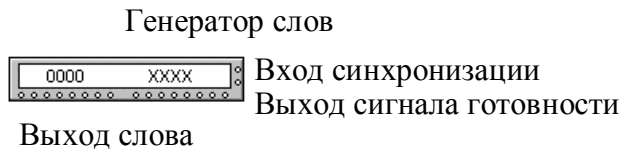


Рис.4

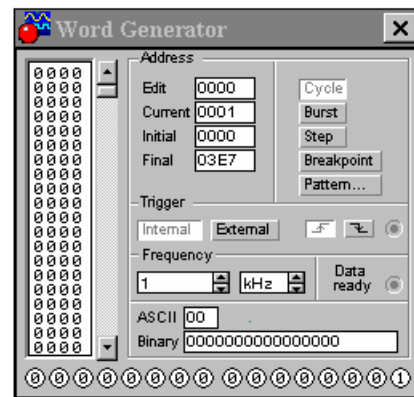


Рис.5

Последовательность генерируемых слов отображается четырехразрядным шестнадцатиричным кодом на развернутом изображении генератора в окне слева. Для редактирования последовательности необходимо установить адрес ячейки в окошечке Edit или с помощью мыши установить в нужной ячейке курсор, после чего изменить выделенное кодовое слово. Редактируемое слово отображается при этом в двоичном коде в окошечке Binary.

В коде ASCII редактирование можно выполнить, используя окошечко с соответствующим названием. Используя кнопку Pattern..., можно загрузить в буфер памяти нарастающую и спадающую последовательность двоичных чисел, а также кодовые последовательности с одной единицей, сдвигаемой влево или вправо. Можно также очистить буфер, сохранить ранее сформированную последовательность в файле и загрузить последовательность из файла.

Генератор слов может работать в следующих режимах:

- циклический режим (кнопка Cycle),
- спорадический режим (кнопка Burst),
- пошаговый режим (кнопка Step).

В циклическом режиме генератор формирует последовательности кодовых слов с циклическим повторением, начиная с начального адреса (устанавливается в окошечке Initial) до конечного адреса (устанавливается в окошечке Final).

В спорадическом режиме последовательность слов поступает на выход однократно. В пошаговом режиме слова

поступают на выходы при подаче очередного внешнего импульса синхронизации (при этом должен устанавливаться режим внешней синхронизации External).

В режиме внутренней синхронизации (Internal) частота подачи слов устанавливается на панели Frequency. Внешняя синхронизация может осуществляться по переднему или заднему фронту внешнего импульса синхронизации. Кнопка Breakpoint позволяет выбрать ячейку буфера, в которой произойдет прерывание работы генератора. Для этого необходимо выбрать курсором нужную ячейку и нажать кнопку Breakpoint. Каждое кодовое слово сопровождается импульсом на выходе сигнала готовности (Data ready). Символы текущего формируемого кодового слова отображаются на выходных клеммах-индикаторах внизу расширенного изображения генератора.

#### 4.2. Логический анализатор

Логический анализатор вызывается из раздела Instruments общего меню, пункт Logic Analyzer. Внешний вид логического анализатора показан на рис.6. Анализатор предназначен для отображения на экране монитора логических сигналов одновременно в 16-ти точках схемы. Текущие значения сигналов выводятся также на клеммах-индикаторах справа на лицевой панели анализатора (рис.7).



Рис.6

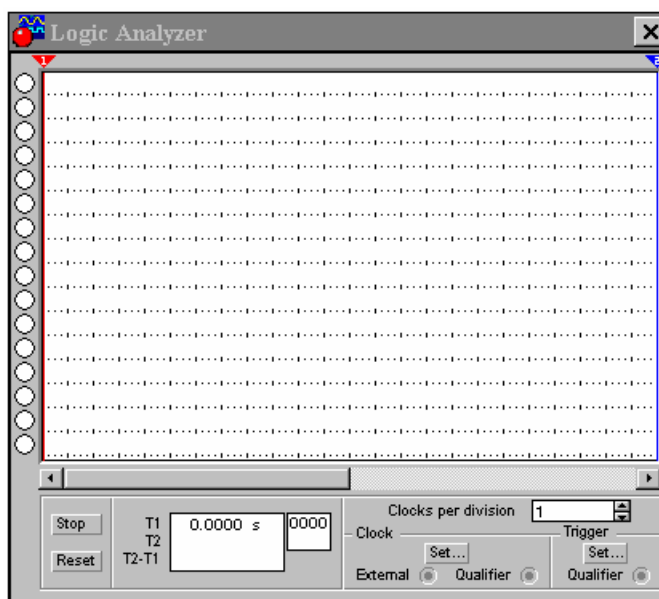


Рис.7

Временной масштаб диаграмм сигналов можно установить с помощью панели Clock per division. Линейка прокрутки позволяет просматривать различные участки реализации наблюдаемых сигналов. Две визирные линейки 1 и 2 позволяют устанавливать точные значения временных интервалов  $T_1$ ,  $T_2$  и  $T_2 - T_1$ . С помощью кнопки Stop можно остановить отображение, кнопкой Reset можно очистить экран.

Панель Clock позволяет устанавливать параметры и режимы развертки: внутреннюю скорость развертки (Internal clock rate), режим внутренней или внешней синхронизации (Internal или External). Для внешней синхронизации имеются клеммы для подключения как обычного (External), так и избирательного (Qualifier) запуска (A, B, C). Обычный запуск осуществляется или положительным (Positive) или отрицательным (Negative) фронтом. Условие избирательного запуска устанавливаются в окошечке Clock qualifier. Дополнительные условия запуска устанавливаются с помощью диалогового окна, вызываемого кнопкой Set в блоке Trigger.

### 4.3. Логический преобразователь

Логический преобразователь устанавливается в схеме из раздела Instruments общего меню, пункт Logic Converter.

Внешний вид логического преобразователя показан на рис.8.

Входы исследуемой логической схемы подключаются к 8-ми клеммам логического преобразователя (A, B, C, D, E, F, G, H), расположенным слева, выход схемы подключается к клемме (OUT), расположенной справа. На рис.9 показано расширенное изображение логического преобразователя.

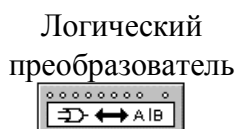


Рис.8

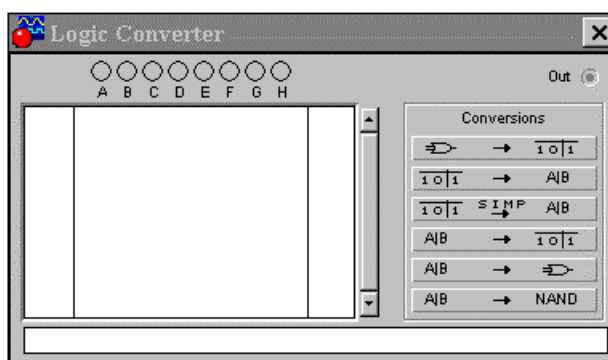


Рис.9

Логический преобразователь позволяет выполнить следующие операции:

- получить таблицу истинности исследуемой логической схемы;
- преобразовать таблицу истинности в логическую формулу;
- упростить логическую формулу;
- получить таблицу истинности логического выражения;
- синтезировать логическую схему по заданной логической формуле;
- синтезировать логическую схему по заданной логической формуле на элементах И-НЕ.

Каждой из названных функций соответствует определенная кнопка на панели расширенного изображения логического преобразователя. Таблица истинности и логическая функция отображаются в левом и нижнем окнах.

## 5. Краткое описание исследуемых схем и установок

Для изучения основных логических элементов в данной лабораторной работе используется система схемотехнического

моделирования Electronics Workbench. После запуска программы изучаемые схемы загружаются из соответствующего файла. В результате в рабочем поле Electronics Workbench появляется схема соответствующей установки. В данном разделе приводится краткое описание этих установок.

Первая установка загружается из файла logic0.ewb. При этом на рабочем поле экрана монитора появится изображение экспериментальной установки, включающей набор исследуемых логических схем и логический преобразователь (рис.10).

Для изучения представлены двух-, трех- и четырех-входные схемы И-НЕ, ИЛИ-НЕ, исключающее ИЛИ, а также схема 2×4-И-ИЛИ-НЕ (155ЛР4) – (рис.11). Для работы с любой схемой необходимо подключить ее выход к клемме OUT логического преобразователя.

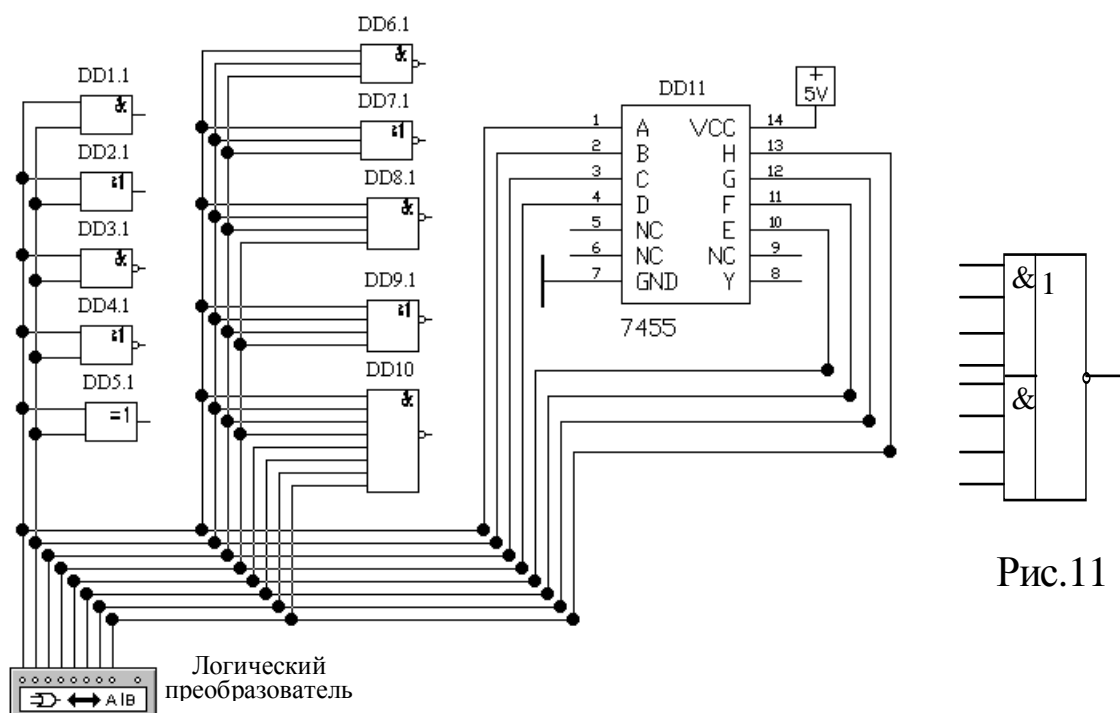


Рис.10

С помощью этой установки можно, используя возможности логического преобразователя, получить таблицы истинности логических схем и построить логическое выражение для соответствующей логической функции. Для сложных функций

можно упростить логическое выражение и получить его схемотехническую реализацию в базисе двухвходовых схем И, ИЛИ, НЕ или в базисе двухвходовых схем И-НЕ.

Для того, чтобы наблюдать работу логических схем при подаче на их входы определенных бинарных последовательностей, используется следующая установка. Для вывода на рабочее поле ее изображения (рис.12) следует открыть файл logic01.ewb. Установка включает тот же набор исследуемых логических схем и следующие приборы: генератор слов и логический анализатор. Восемь выходов генератора слов подключены к входам логических схем и к входам логического анализатора.

Для работы с любой схемой данной установки необходимо открыть генератор слов двойным нажатием левой клавиши мыши, после чего сформировать в генераторе необходимую бинарную последовательность. Далее подключить выход данной схемы к свободному входу логического анализатора. Открыв логический анализатор двойным нажатием левой клавиши мыши и нажав кнопку запуска моделирования, можно наблюдать временные диаграммы входных и выходных сигналов на передней панели логического анализатора.

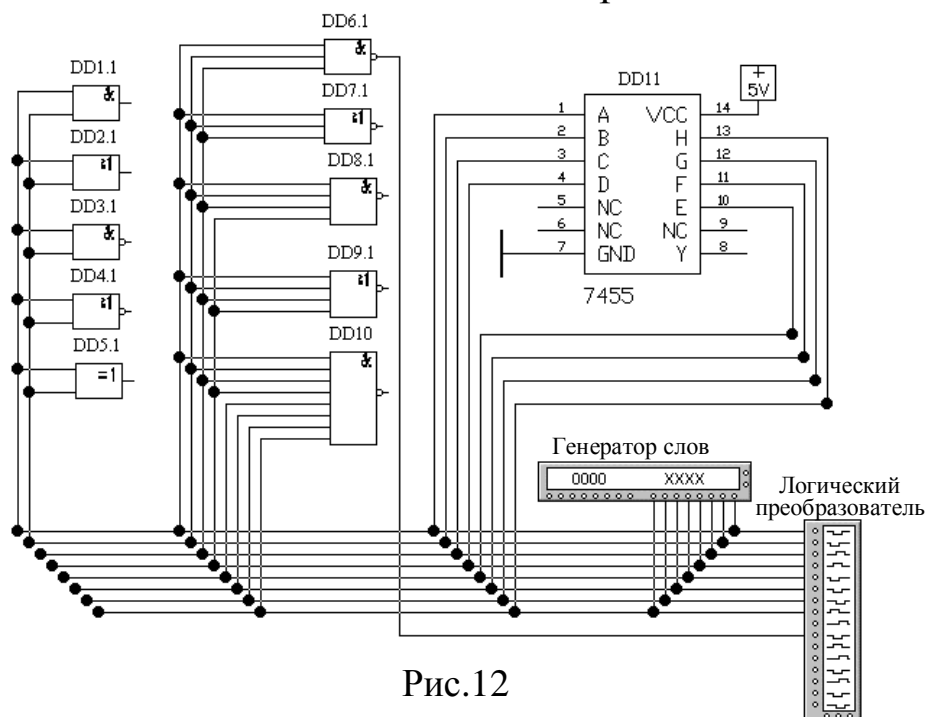


Рис.12

## 6. Порядок выполнения работы

6.1. Произведите запуск программы Electronics Workbench. В этой программе откройте файл logic0.ewb. При этом на рабочем поле экрана монитора появится изображение экспериментальной установки, включающей набор исследуемых логических схем и логический преобразователь (рис.10).

6.2. Для каждой из исследуемых схем подключите выход схемы к гнезду OUT логического преобразователя.

6.3. Двойным щелчком мыши по изображению логического преобразователя откройте расширенное изображение (рис.9) логического преобразователя.

6.4. Для основных логических элементов получите таблицу истинности и постройте логическое выражение. Для этого необходимо последовательно использовать следующие кнопки на панели управления логического преобразователя:



6.5. Синтезируйте логическую схему на элементах И, ИЛИ, НЕ, используя следующую кнопку:



6.6. Синтезируйте логическую схему на элементах И-НЕ, используя следующую кнопку:



6.7. Зарегистрируйте полученные результаты.

6.8. Откройте файл logic01.ewb. При этом на экране появится изображение установки (рис.12), включающей тот же набор исследуемых логических схем и следующие приборы: генератор слов и логический анализатор.

6.9. Сформируйте в логическом анализаторе нарастающую последовательность двоичных чисел.

6.10. Поочередно подключите выходы исследуемых схем к свободному входу логического анализатора и выполните запуск моделирования.

6.11. Зарегистрируйте временные диаграммы логического анализатора и объясните их.

6.12. По заданию преподавателя выберите логическую схему из библиотеки Electronics Workbench и включите ее в состав установок (рис.10 и рис.12).

6.13. Используя эти установки для данной схемы выполните пп 6.4-6.7 и 6.9-6.11.

## **7. Содержание отчета**

Отчет по лабораторной работе должен включать:

- краткое описание исследуемых логических схем,
  - изображение исследуемых логических схем и полученные таблицы истинности,
  - синтезированные в базисе И-ИЛИ-НЕ и в базисе И-НЕ
- 7
- оценку результатов и выводы о проделанной работе.

## **Литература**

1. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства. Учебное пособие для втузов, - СПб, "Политехника", 1996г. – 885с.
2. Шило В.Л. Популярныe цифровые схемы. Справочник, М., "Радио и связь", 1989г. – 352с.
3. Карлащук В.И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и ее применение. М., "Солон-Р", 1999г. – 506.
4. Электротехника и электроника в экспериментах и упражнениях. Практикум на Electronics Workbench. М. "Додэка".1999г. – т.1 – 304, т.2 – 324.

## **ЛАБОРАТОРНАЯ РАБОТА N2. Шифраторы и дешифраторы**

### **1. Цель работы**

Целью работы является изучение функционального



назначения и устройства и шифраторов и дешифраторов, серийных микросхем шифраторов и дешифраторов, возможностей увеличения разрядности серийных шифраторов и дешифраторов малой разрядности с помощью каскадного их включения, методов исследования шифраторов и дешифраторов средствами системы схемотехнического моделирования Electronics Workbench, а также приобретение практических навыков разработки дискретных схем на основе шифраторов и дешифраторов.

## 2. Основные сведения о шифраторах и дешифраторах

Шифраторы – это логические устройства, имеющие  $2^n$  входов и  $n$  выходов и преобразующие  $2^n$ -разрядный единичный код, в  $n$ -разрядный двоичный код на все сочетания. В единичном коде один символ кодовой комбинации равен 1, остальные нули.

Дешифраторы выполняют обратное преобразование. Дешифраторы – это логические устройства, имеющие  $n$  входов и  $2^n$  выходов и преобразующие  $n$ -разрядный двоичный код на все сочетания в  $2^n$ -разрядный единичный код. Обозначение схем шифраторов и дешифраторов показано на рис.1.

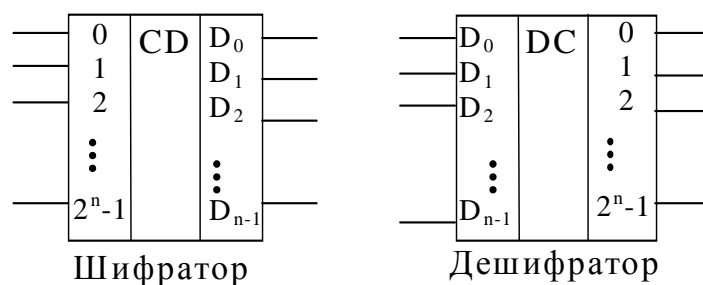


Рис. 1

Так как шифраторы и дешифраторы реализуют взаимно обратные логические функции, то таблицы истинности для шифратора и для дешифратора совпадают с точностью до замены входов и выходов. Таблица истинности для трехразрядных шифратора и дешифратора показана ниже (Таблица 1).

Логические функции шифратора получаются логическим

суммированием (операция ИЛИ) входных операндов, принимающих значение 1, если соответствующий выходной операнд в этой строке таблицы истинности равен 1. Эти функции для трехразрядного шифратора приведены ниже

$$D_0 = X_1 + X_3 + X_5 + X_7,$$

$$D_1 = X_2 + X_3 + X_6 + X_7,$$

$$D_2 = X_4 + X_5 + X_6 + X_7.$$

Таким образом, шифратор трехразрядного двоичного кода можно построить на трех 4-х входовых схемах ИЛИ (рис. 2а).

Таблица 1.

Шифратор										
Входы								Выходы		
X <sub>0</sub>	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	X <sub>5</sub>	X <sub>6</sub>	X <sub>7</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1
Выходы								Входы		
Дешифратор										

Логические функции дешифратора определяются как логические произведения прямых и инверсных входных операндов в соответствии со значениями разрядов кода дешифрируемой кодовой комбинации (1 – прямой операнд, 0 – инверсный).

Логические функции трехразрядного дешифратора приведены ниже.

$$X_0 = \bar{D}_0 \cdot \bar{D}_1 \cdot \bar{D}_2,$$

$$X_1 = D_0 \cdot \bar{D}_1 \cdot \bar{D}_2,$$

$$X_2 = \bar{D}_0 \cdot D_1 \cdot \bar{D}_2,$$

$$X_4 = \bar{D}_0 \cdot \bar{D}_1 \cdot D_2,$$

$$X_5 = D_0 \cdot \bar{D}_1 \cdot D_2,$$

$$X_6 = \bar{D}_0 \cdot D_1 \cdot D_2,$$

$$X_3 = D_0 \cdot D_1 \cdot \bar{D}_2,$$

$$X_7 = D_0 \cdot D_1 \cdot D_2.$$

Таким образом, трехразрядный дешифратор строится на восьми трехвходовых схемах И (рис. 2б).

Базовым элементом всех ТТЛ серий является элемент И-НЕ. Поэтому целесообразно использовать базис операций И-НЕ при реализации различных логических функций. Для реализации функций шифратора в этом случае необходимо заменить операцию логического сложения на операцию логического умножения, используя правило инверсии (правило де Моргана), согласно которому логическая сумма любого числа логических операндов равна инверсному логическому произведению этих же инвертированных операндов:

$$\sum X_k = \overline{\prod \bar{X}_k}.$$

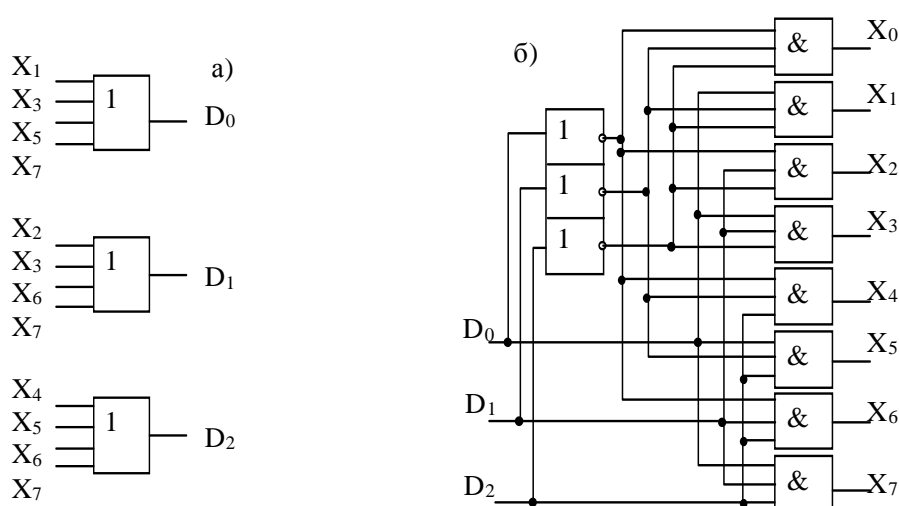


Рис.2

С помощью правила инверсии логические функции трехразрядного шифратора можно представить следующим образом:

$$D_0 = \overline{\bar{X}_1 \cdot \bar{X}_3 \cdot \bar{X}_5 \cdot \bar{X}_7},$$

$$D_1 = \overline{\bar{X}_2 \cdot \bar{X}_3 \cdot \bar{X}_6 \cdot \bar{X}_7}$$

$$D_2 = \overline{\bar{X}_4 \cdot \bar{X}_5 \cdot \bar{X}_6 \cdot \bar{X}_7}.$$

Шифратор при такой записи его функций реализуется на трех 4-входовых схемах И-НЕ (рис. 3а).

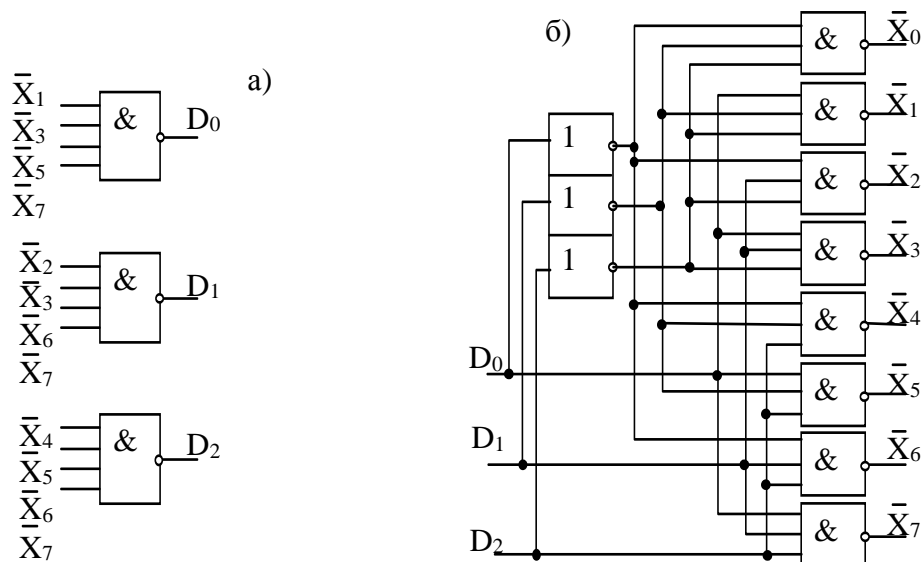


Рис. 3

Для реализации дешифратора в базе И-НЕ необходимо записать его логические функции следующим образом.

$$\begin{aligned} \bar{X}_0 &= \overline{\bar{D}_1 \cdot \bar{D}_2 \cdot \bar{D}_3}, & \bar{X}_4 &= \overline{\bar{D}_1 \cdot \bar{D}_2 \cdot D_3}, \\ \bar{X}_1 &= \overline{D_1 \cdot \bar{D}_2 \cdot \bar{D}_3}, & \bar{X}_5 &= \overline{D_1 \cdot \bar{D}_2 \cdot D_3}, \\ \bar{X}_2 &= \overline{\bar{D}_1 \cdot D_2 \cdot \bar{D}_3}, & \bar{X}_6 &= \overline{\bar{D}_1 \cdot D_2 \cdot D_3}, \\ \bar{X}_3 &= \overline{D_1 \cdot D_2 \cdot \bar{D}_3}, & \bar{X}_7 &= \overline{D_1 \cdot D_2 \cdot D_3}. \end{aligned}$$

Тогда дешифратор реализуется на восьми трехвходовых схемах И-НЕ (рис. 3б). При этом выходные сигналы дешифратора получаются инверсными.

Промышленные серии имеют малоразрядные шифраторы и дешифраторы (3-4 двоичных разряда). В данной работе необходимо изучить серийные шифраторы и дешифраторы и возможности наращивания их разрядности.

### 3. Краткое описание исследуемых схем и установок

Для изучения схем шифраторов и дешифраторов в данной лабораторной работе используется программная система схемотехнического моделирования Electronics Workbench. Эта система устанавливается на ЭВМ. После запуска программы подготовленные заранее схемы необходимо загрузить из файла. В результате в рабочем поле Electronics Workbench появляется схема установки для изучения определенных шифраторов и дешифраторов. Ниже приводится краткое описание этих установок.

### 3.1. Схема для изучения шифратора элементах ИЛИ и дешифратора элементах И

На рис. 4 показана схема установки. Выходы шифратора подключены к входам дешифратора. Эта схема загружается из файла cddcИЛИ\_И.ewb. Схема содержит трехразрядный шифратор, построенный на микросхемах DD1.1, DD1.2 и DD2.1, и трехразрядный дешифратор, использующий микросхемы DD3.1-3, DD4.1-3, DD5.1-3 и DD6.1-2.

Входные тестовые бинарные последовательности шифратора формируются генератором слов, который работает в пошаговом режиме и переключается двойным нажатием клавиши S на клавиатуре ЭВМ. Контроль состояния входов шифратора и выходов дешифратора осуществляется барографическими десятисегментными дисплеями. Состояние выходов шифратора (входов дешифратора) контролируется цифровым семисегментным индикатором и индивидуальными логическими пробниками.

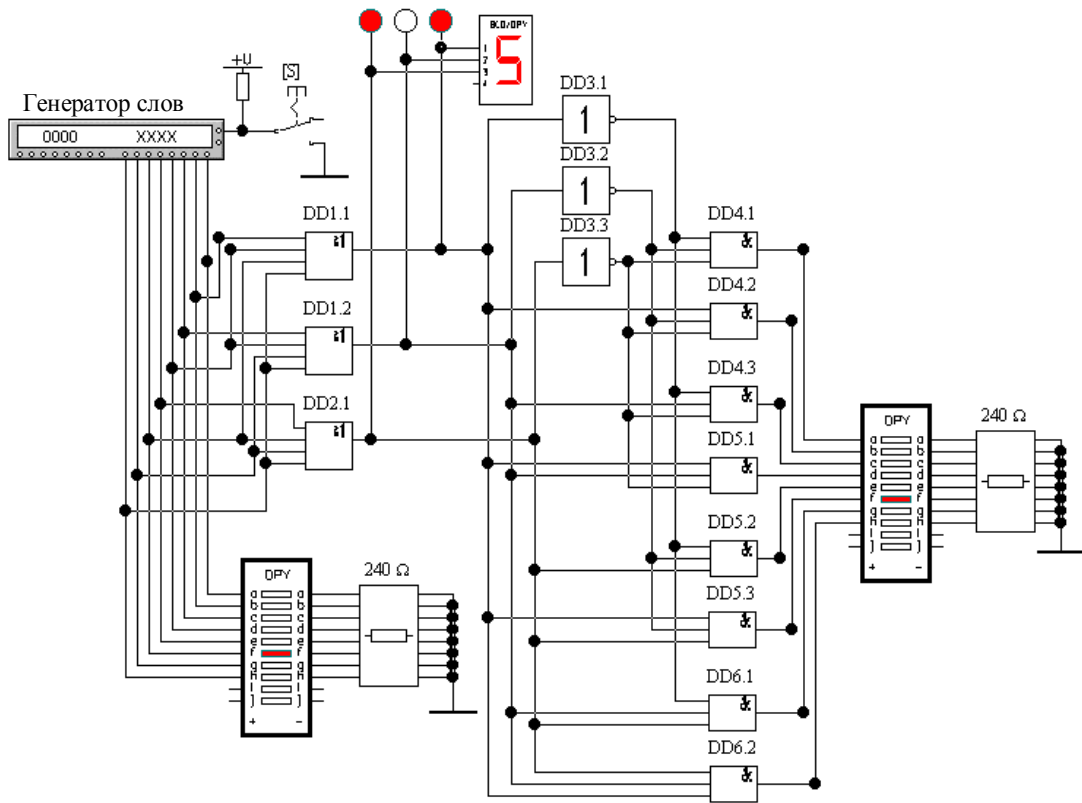


Рис. 4

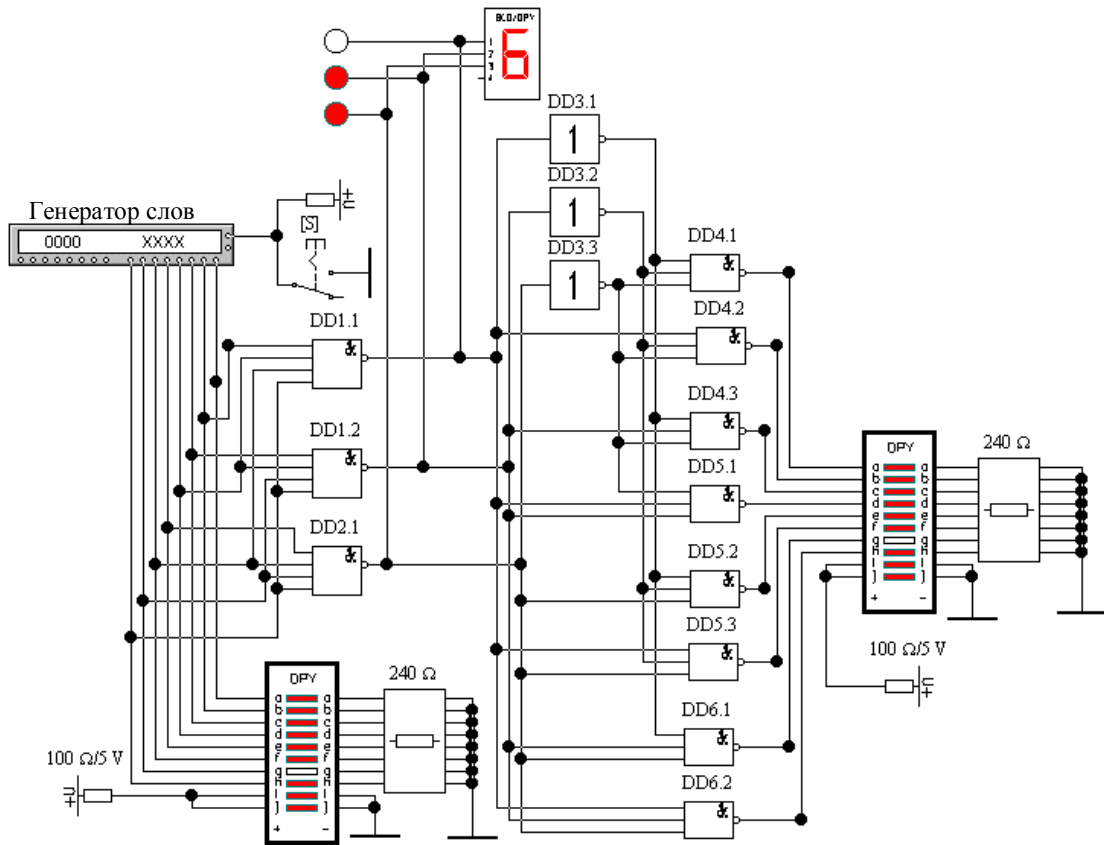


Рис. 5

### 3.2. Схема для изучения шифратора и дешифратора на элементах И-НЕ

Схема, показанная на рис. 5, аналогична рассмотренной ранее, но использует элементы И-НЕ. Схема загружается из файла `cddsИ_НЕ_И_НЕ.ewb`.

Она содержит последовательно соединенные трехразрядные шифратор и дешифратор. Шифратор построен на микросхемах DD1.1, DD1.2 и DD2.1, дешифратор построен на микросхемах DD3.1-3, DD4.1-3, DD5.1-3 и DD6.1-2. Средства подачи тестовых сигналов и индикации аналогичны предыдущей установке.

### 3.3. Схема для изучения приоритетного шифратора ИВ1 (SN74148)

Схема установки показана на рис. 6. Она загружается из файла `cdИВ1.ewb`. Схема включает саму исследуемую схему DD1, генератор кодовых слов как источник тестовых бинарных последовательностей, ключ S в качестве источника синхроимпульсов и элементы индикации (десятиsegmentный индикатор и логические пробники).

Таблица истинности шифратора (Таблица 2) приведена ниже. Символ X означает в ней неопределенное (безразличное) состояние входа. Из таблицы истинности следует, что активный уровень входных сигналов  $X_{0-7}$  низкий (логический ноль), код на выходе  $(A_2, A_1, A_0)$  инверсный двоичный. Свойство приоритетности шифратора заключается в следующем. Активное состояние входа с высоким индексом означает, что входы с более низким индексом не влияют на выходные сигналы. Так при низком уровне на входе  $X_5$  состояние всех выходов безразлично к состоянию входов  $X_0, X_1, X_2, X_3$  и  $X_4$ .

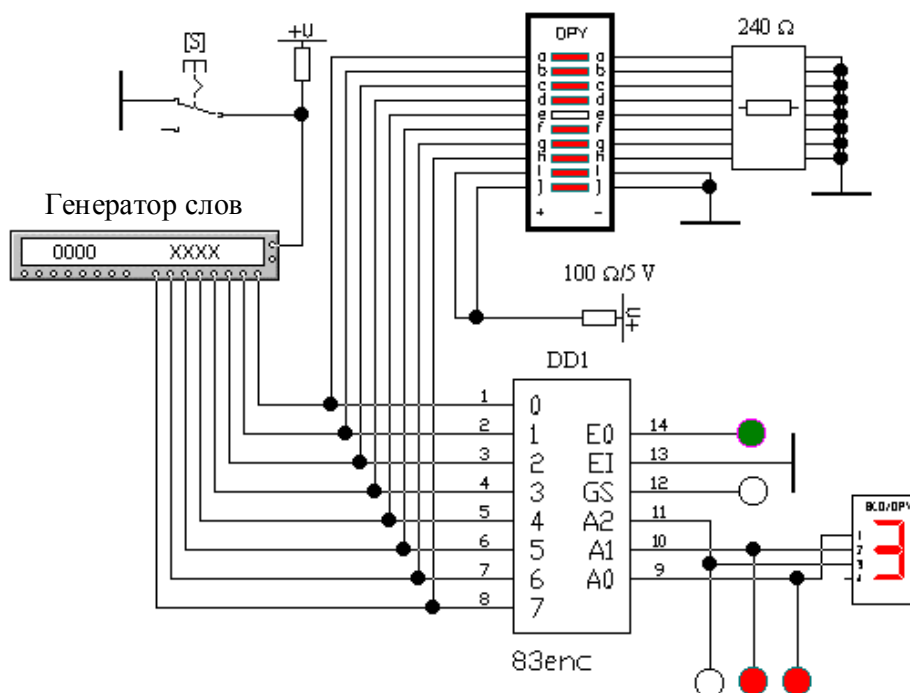


Рис. 6

Таблица 2

Входы									Выходы				
$X_0$	$X_1$	$X_2$	$X_3$	$X_4$	$X_5$	$X_6$	$X_7$	$E_i$	$A_2$	$A_1$	$A_0$	$E_o$	GS
0	1	1	1	1	1	1	1	0	1	1	1	1	0
X	0	1	1	1	1	1	1	0	1	1	0	1	0
X	X	0	1	1	1	1	1	0	1	0	1	1	0
X	X	X	0	1	1	1	1	0	1	0	0	1	0
X	X	X	X	0	1	1	1	0	0	1	1	1	0
X	X	X	X	X	0	1	1	0	0	1	0	1	0
X	X	X	X	X	X	0	1	0	0	0	1	1	0
X	X	X	X	X	X	X	0	0	0	0	0	1	0
1	1	1	1	1	1	1	1	0	1	1	1	0	1
X	X	X	X	X	X	X	X	1	1	1	1	1	1

Кроме информационных входов и выходов схема имеет специальные управляющие входы и выходы, необходимые при каскадном включении шифраторов с целью наращивания их разрядности. Управляющий входной сигнал  $E_i$  – сигнал разрешения входа. Низкий уровень разрешает работу, высокий – блокирует схему. В режиме блокировки на всех выходах имеется единица.



Выход  $E_0$  – разрешение выхода (единица на этом выходе – сигнал готовности кода, ноль – отсутствие активных уровней на информационных входах). Групповой сигнал GS (низкий уровень) свидетельствует о наличии активного уровня (нуля) на одном из входов.

#### 3.4. Схема для изучения способов наращивания разрядности шифратора ИВ1 (SN74148)

В качестве примера каскадной структуры многоразрядного шифратора в данной лабораторной работе рассматривается установка для изучения двухступенчатого пятиразрядного шифратора (рис.7). Схема загружается из файла cddcИВ1с2.ewb.

В микросхеме приоритетного шифратора 155ИВ1 заложена возможность наращивания разрядности шифратора за счет использования многоступенчатой каскадной структуры. Пятиразрядный шифратор должен формировать 32 кодовые комбинации. Поэтому схема шифратора должна иметь пять выходов и  $2^5=32$  входа. Все комбинации кода сведены в таблицу (таблица 3). В каждой комбинации выделены два старших разряда (код блока из 8-ми кодовых комбинаций) и три младших (код комбинации внутри блока).

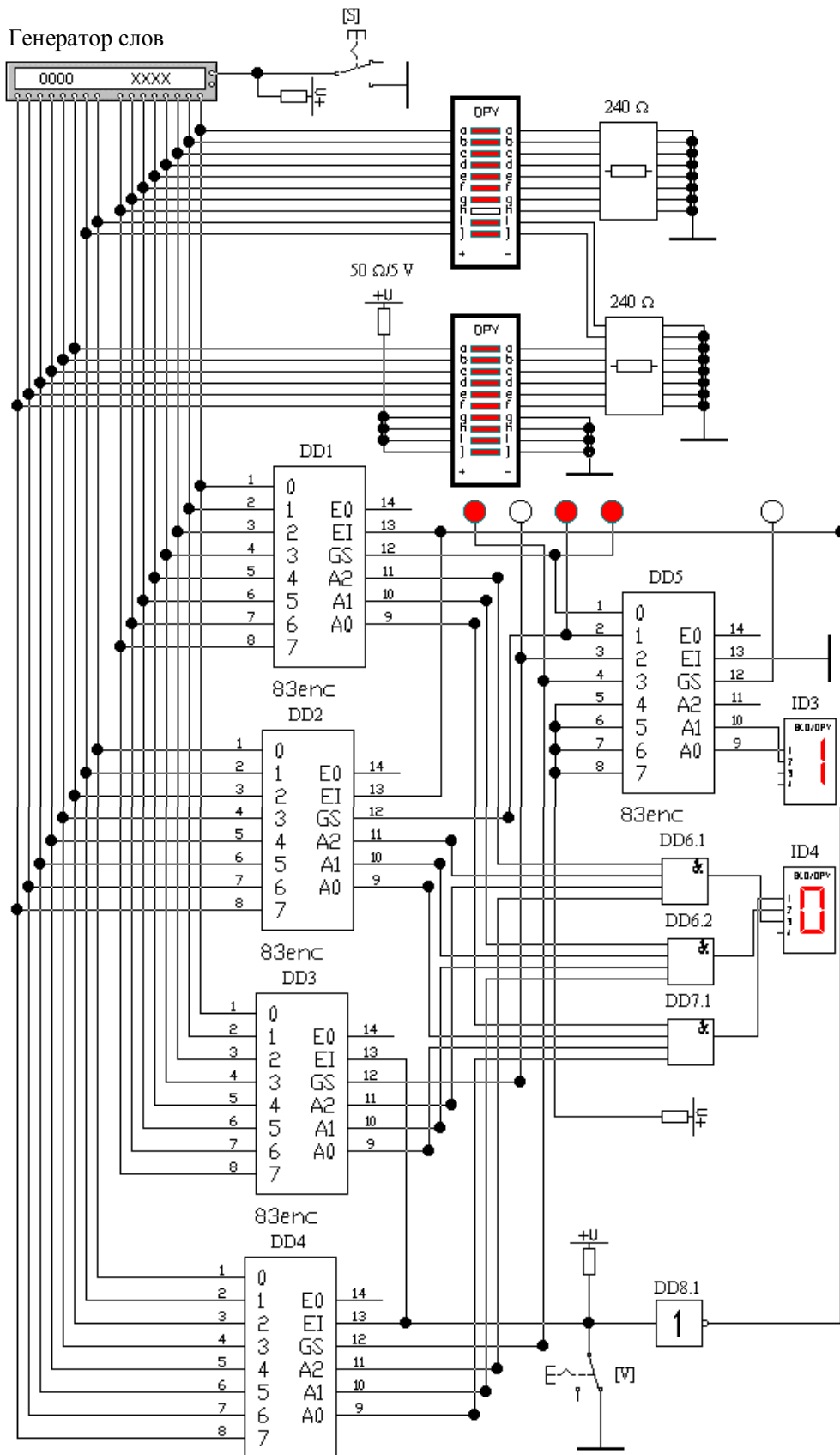


Рис. 7

Таблица 3.

Блок 0		Блок 1		Блок 2		Блок 3	
Код блока	Код комбинации в блоке	Код блока	Код комбинации в блоке	Код блока	Код комбинации в блоке	Код блока	Код комбинации в блоке
00	000	01	000	10	000	11	000
00	001	01	001	10	001	11	001
00	010	01	010	10	010	11	010
00	011	01	011	10	011	11	011
00	100	01	100	10	100	11	100
00	101	01	101	10	101	11	101
00	110	01	110	10	110	11	110
00	111	01	111	10	111	11	111

В состав первой ступени включены четыре шифратора ИВ1 (микросхемы DD1-DD4), на выходах которых ( $A_2$ ,  $A_1$ ,  $A_0$ ) формируются три младших разряда, определяющие номер активного входа шифраторов первой ступени (номер комбинации в блоке). Кодовые комбинации с выходов этих шифраторов и объединяются с помощью трех 4-х входных схем И (DD6.1, DD6.2 и DD7.1).

Два старших разряда (код блока) формируются шифратором второй ступени (микросхема DD5), на четыре входа которого (0-3) подаются выходные групповые сигналы готовности GS шифраторов первой ступени. На свободные четыре входа DD5 (4-7) подан пассивный уровень (единица). Шифратор второй ступени формирует двухразрядный код номера шифратора первой ступени ( $A_1$ ,  $A_0$ ), который определяет номер активного шифратора первой ступени ( $GS=0$ ).

В установке используются те же средства подачи тестовых сигналов и индикации, что и в рассмотренных ранее установках. Генератор кодовых слов может выдавать только 16-ти разрядные последовательности, а число входов пятиразрядного шифратора равно 32. Поэтому 16 выходов генератора поданы и на входы с 0 до 15 и на входы с 16 по 31. Кроме того в схему включен управляющий ключ V, с помощью которого при разомкнутом состоянии единица подается на вход блокировки  $E_i$  двух схем DD3 и DD4, а деблокирующий уровень логического нуля через инвертор DD8.1 подается на вход  $E_i$  двух схем DD1 и DD2. При



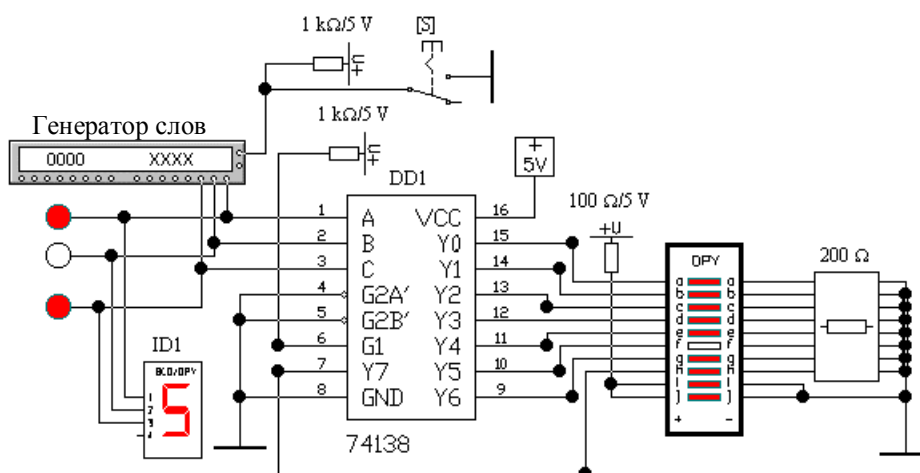


Рис.8

Схема установки для изучения дешифратора ИДЗ аналогична предыдущей и показана на рис.9. Загружается она из файла dsИД3.ewb.

Дешифратор ИДЗ является дешифратором 4-х разрядного двоичного кода. Он отличается от дешифратора ИД7 числом входов и выходов и способом блокировки. Его информационные входы А, В, С и D, выходы – 0, 1,...15. Управляющие входы G1' и G2'. Комбинация 00 на управляющих входах разрешает работу схемы, все другие комбинации блокируют дешифратор. В режиме блокировки на всех выходах присутствует пассивный уровень логической 1. При снятой блокировке активный низкий уровень логического 0 присутствует на выходе, номер которого определяется входной кодовой комбинацией. Так при коде числа 13 на входе (двоичный код 1101) на 13-м выходе будет 0, на остальных выходах 1.

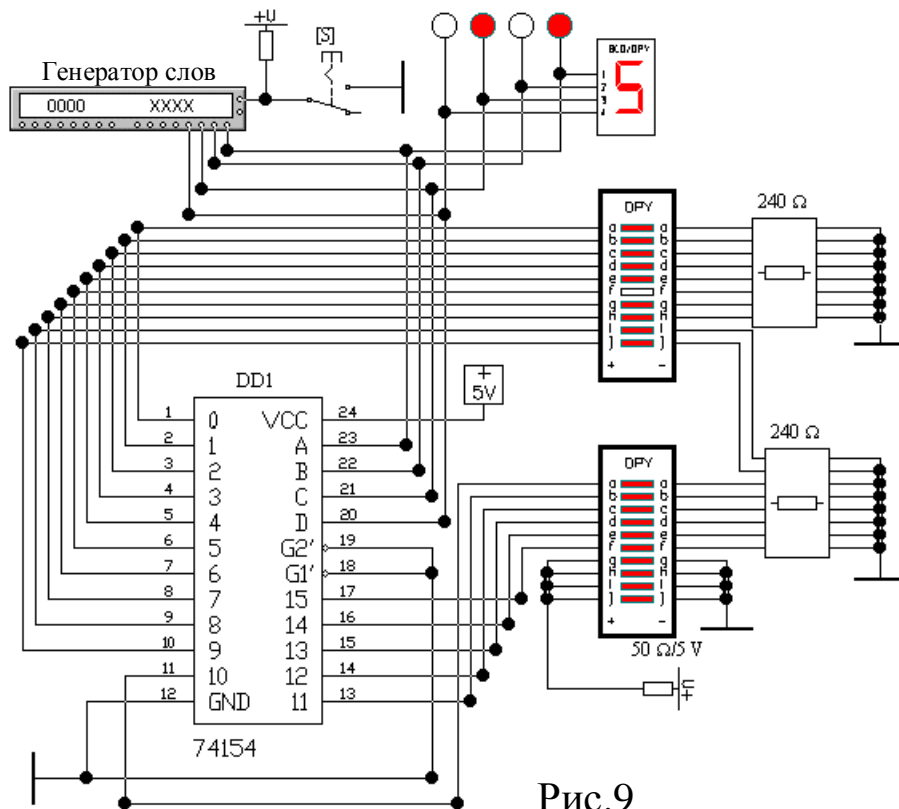


Рис.9

### 3.6. Схема для изучения способов наращивания разрядности дешифраторов

Стробирование дешифраторов с помощью управляющих входов позволяет строить каскадные схемы многоразрядных дешифраторов. Схема установки для изучения возможностей наращивания разрядности дешифратора показана на рис.10. Схема загружается из файла dss.ewb. В этой установке на основе трехразрядных дешифраторов построен 5-ти разрядный дешифратор.

При построении двухступенчатых многоразрядных дешифраторов на базе дешифраторов меньшей разрядности выделяют группу младших и старших разрядов. В данном случае два старших и три младших разряда.

Два старших разряда поступают на входы А и В дешифратора старших разрядов (микросхема DD5). Этот дешифратор выдает активный уровень логического нуля на одном из четырех выходов (0, 1, 2 или 3), номер которого

соответствует кодовой комбинации в старших разрядах. На других выходах при этом имеется пассивный уровень логической 1. Три младших разряда поступают параллельно на входы А, В, С четырех дешифраторов младших разрядов DD1-DD4. На входы блокировки дешифраторов младших разрядов G' поступают сигналы с дешифратора старших разрядов. Так как низкий уровень имеется только на одном выходе дешифратора старших разрядов, то блокировка будет снята только с одного из четырех дешифраторов младших разрядов. Остальные дешифраторы будут заблокированы.

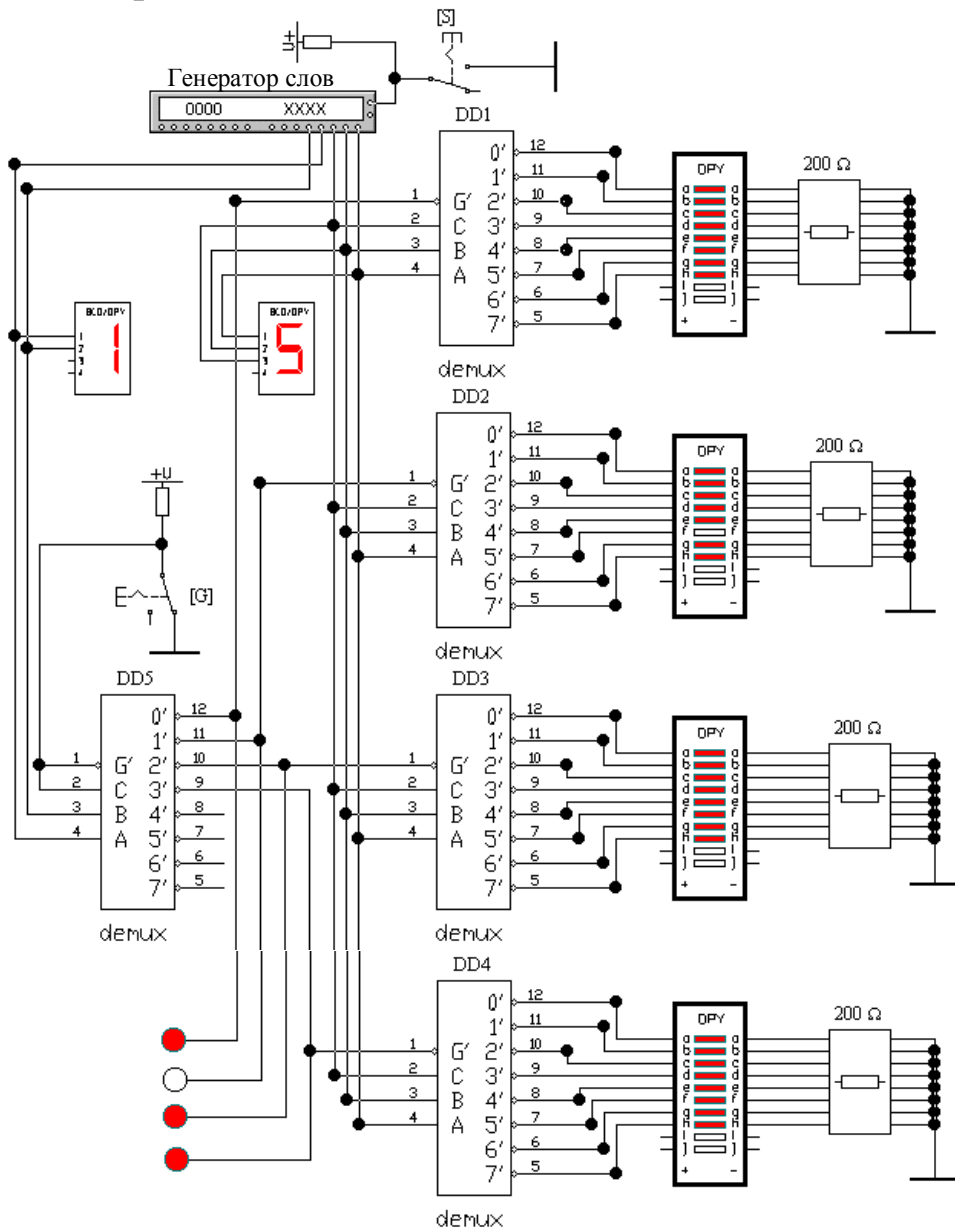


Рис.10

На рис.10 показано состояние схемы при двоичном коде старших разрядов 01, соответствующего 3 в десятичном коде ( $01_{\text{bin}}=10_{\text{dec}}$ ), и двоичном коде младших разрядов 101, соответствующего также 3 в десятичном коде ( $101_{\text{bin}}=3_{\text{dec}}$ ). Полный 5-ти разрядный двоичный код 01101 соответствует числу 13 в десятичном коде ( $01101_{\text{bin}}=13_{\text{dec}}$ ). Дешифратор старших разрядов вырабатывает низкий уровень на выходе 1'. При этом снимается блокировка со схемы DD2, которая вырабатывает низкий уровень на выходе 5'. Если начать общую нумерацию выходов с нуля, то выход 5' схемы DD2 будет соответствовать десятичному числу 13.

#### 4. Порядок выполнения работы

4.1. Произведите запуск программы Electronics Workbench. Поочередно открывайте файлы, приведенные в таблице 5.

Таблица 5

№	Имя файла	Схема устройства
1	cddcИЛИ_И.ewb	Шифратор на схемах ИЛИ и дешифратор на схемах И
2	cddcИ_НЕ_И_НЕ.ewb	Шифратор и дешифратор на схемах И-НЕ
3	cdИВ1.ewb	Приоритетный шифратор ИВ1
4	cddcИВ1с2.ewb	5-ти разрядный шифратор на базе шифратора ИВ1
5	dcИД7.ewb	Дешифратор ИД7
6	cddcИД3.ewb	Дешифратор ИД3
7	dcc.ewb	5-ти разрядный дешифратор на базе дешифратора ИД7

При этом на рабочем поле экрана монитора будет появляться изображения экспериментальных установок, включающих исследуемые схемы, генератор тестовых последовательностей (генератор слов) и элементы индикации и контроля.

4.2. С помощью экспериментальных установок изучите принцип действия и устройство схем шифраторов и дешифраторов.

4.3. На основе имеющихся схем разработайте



самостоятельно схемы шифратора и дешифратора по заданию преподавателя и проверьте их функционирование.

4.4. Сохраните разработанные схемы в файлах, зарегистрируйте полученные результаты.

## **5. Содержание отчета**

Отчет по лабораторной работе должен включать:

- изображение разработанных схем шифраторов и дешифраторов и полученные результаты их исследования,
- краткое описание разработанных схем шифраторов и дешифраторов,
- оценку результатов и выводы о проделанной работе.

## **Литература**

1. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства. Учебное пособие для втузов, - СПб, "Политехника", 1996г. – 885с.
2. Шило В.Л. Популярныe цифровые схемы. Справочник, М., "Радио и связь", 1989г. – 352с.
3. Карлащук В.И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и ее применение. М., "Солон-Р", 1999г. – 50б.
4. Электротехника и электроника в экспериментах и упражнениях. Практикум на Electronics Workbench. М. "Додэка".1999г. – т.1 – 304, т.2 – 324.

## **ЛАБОРАТОРНАЯ РАБОТА N3**

### **Триггеры**

#### **1. Цель работы**

Целью работы является изучение различных типов триггеров, режимов их работы, особенностей схем переключения

их состояний и дискретных устройств на основе триггеров, а также приобретение практических навыков использования средств системы схемотехнического моделирования Electronics Workbench при изучении триггерных схем.

## 2. Основные сведения о триггерах

Триггеры – это устройства с двумя устойчивыми состояниями, способные хранить один бит информации. Статические триггеры всегда включают два инвертора, охваченные обратной связью. В этом случае на одном из инверторов устанавливается высокий уровень напряжения (логическая 1), на втором – низкий (логический 0). Это состояние триггера является устойчивым, как и противоположное состояние, когда инверторы меняются ролями. Состояние триггера условно определяется по выходу одного из инверторов  $Q$ , состояние выхода второго инвертора считается инверсным состоянием триггера  $\bar{Q}$ .

Состояние триггера изменяется с помощью управляющих сигналов. Основная проблема переключения состояний триггеров заключается в возможности возникновения неопределенных состояний, когда оба инвертора или открыты, или закрыты, после чего триггер может установиться произвольно в любое устойчивое состояние (0 или 1). Для исключения таких неопределенностей разработаны различные цепи запуска триггерных схем. В соответствии со способом запуска различают основные типы триггеров: RS-триггер, D-триггер, "прозрачный" триггер-защел-ка, JK-триггер, и др. Эти триггеры могут иметь в своем составе несколько элементарных триггеров, обеспечивающих специфические режимы их переключения.

На рис.1 показаны схемы простейших RS-триггеров и их условные обозначения. Первый триггер (рис.1а) построен на элементах И-НЕ, второй (рис.1б) построен на элементах ИЛИ-НЕ.

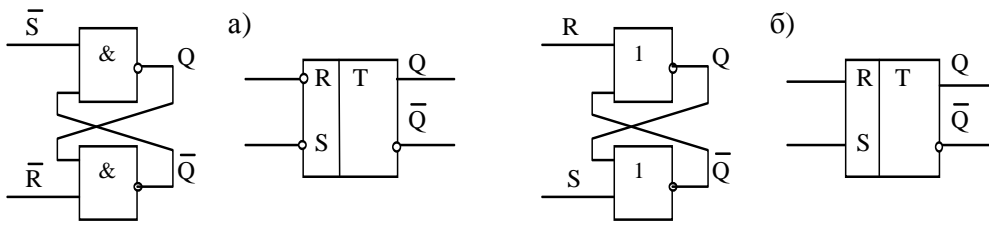


Рис.1

Триггер на элементах И-НЕ может находиться в любом устойчивом состоянии, если на его RS входах имеются единицы. При появлении на RS входах сигналов низкого уровня состояние триггера изменяется. Работу триггеров можно характеризовать таблицей переходов, которая показывает устойчивое состояние триггера после подачи соответствующих комбинаций управляющих сигналов ( $Q_{n+1}$  означает состояние триггера после подачи управляющих сигналов,  $Q_n$  – состояние триггера, предшествующее подаче управляющих сигналов). Изменения состояний для триггера на элементах И-НЕ показано в таблице 1, для триггера на элементах ИЛИ-НЕ – в таблице 2.

Таблица 1

	S	$Q_{n+1}$
0	0	
0	1	0
1	0	1
1	1	$Q_n$

Таблица 2

R	S	$Q_{n+1}$
0	0	
0	1	1
1	0	0
1	1	X

Из таблиц следует, что первый триггер устанавливается в состояние 0 ( $Q=0$ ,  $\bar{Q}=1$ ) при подаче на R вход низкого уровня, и в состояние 1 ( $Q=1$ ,  $\bar{Q}=0$ ) при подаче низкого уровня на S вход. Состояние входов  $S=0$  и  $R=0$  является недопустимым, так как при этом оба выхода имеют высокий потенциал ( $Q=1$ ,  $\bar{Q}=1$ ), а это состояние не является устойчивым, поэтому после изменения состояний входов ( $S=1$  и  $R=1$ ) триггер может оказаться в любом состоянии. Триггер на элементах ИЛИ-НЕ может находиться в произвольном состоянии, если на его RS входах имеются нули. Этот триггер устанавливается в состояние 0 при подаче на R вход

высокого уровня, и в состоянии 1 при подаче высокого уровня на S вход. Состояние входов  $S=1$  и  $R=1$  является недопустимым.

На основе RS-триггеров строятся другие триггерные схемы. На рис.2 показана схема и условное обозначение триггера-защелки, а таблица 3 представляет его таблицу переходов.

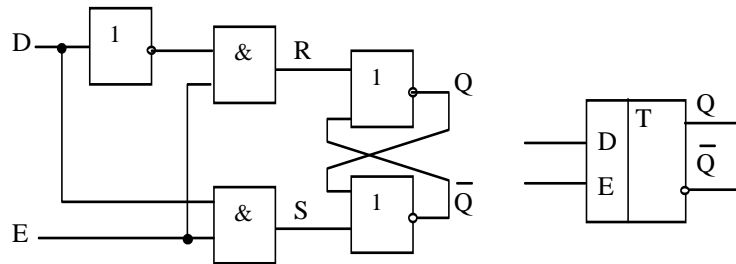


Рис.2.

Из таблицы следует, что при единице на E входе, состояние триггера повторяет состояние его информационного входа D, т.е. триггер "прозрачен". При подаче на E вход низкого уровня (нуля) триггер защелкивается и сохраняет предыдущее состояние, даже если состояние его информационного входа D в это время изменяется.

Таблица 3

	E	$Q_{n+1}$
0	1	0
1	1	1
X	0	$Q_n$

Ниже (рис.3) приведена схема D-триггера, тактируемого передним фронтом тактового импульса C. Стрелка у входа C, направленная внутрь, означает, что переключение триггера происходит только по переднему фронту.

Управляющая схема запуска содержит четыре инвертора  $Q_1, Q_2, Q_3, Q_4$ , соединенных тремя парами триггерных связей, и выходной RS-триггер. Если тактовый вход C находится в состоянии 0, то на RS входах выходного триггера имеются нейтральные высокие уровни (логические 1 –  $R=Q_2=1$  и  $S=Q_3=1$ ). Поэтому изменения его состояния произойти не может. При этом  $Q_4=\bar{D}$ , а  $Q_1=D$ .

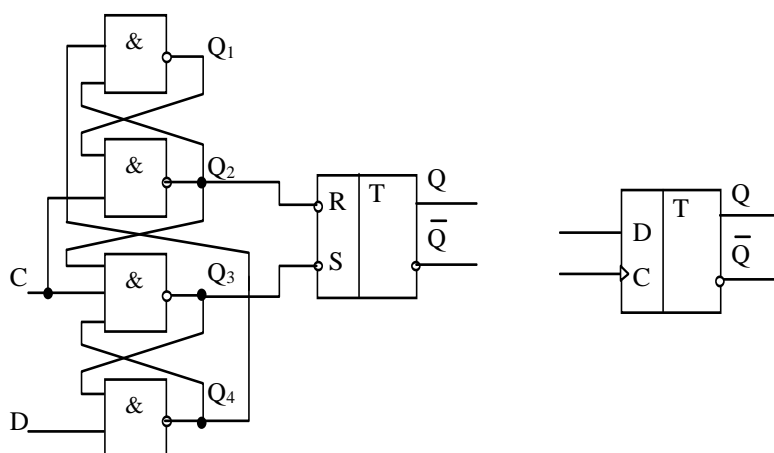


Рис.3

При переходе  $C$  из 0 в 1 на выходах схемы запуска устанавливаются следующие сигналы  $R=Q_2=Q_4=\bar{D}$ , а  $S=Q_1=Q_3=D$  и триггеры схемы запуска защелкиваются. В результате выходной триггер устанавливается в состояние  $Q = D$ ,  $\bar{Q} = \bar{D}$ . Если после этого изменится состояние  $D$  входа, то цепи запуска и выходной триггер уже не будут на это реагировать. Таблица переходов для D-триггера приведена ниже (таблица 4).

Таблица 4.

	C	$Q_{n+1}$
0		0
1		1

Если D-вход соединить с инверсным выходом триггера  $\bar{Q}$  (рис.4), то триггер будет менять свое состояние по каждому переднему фронту тактовых импульсов  $C$ . Такой режим работы триггеров называют счетным.

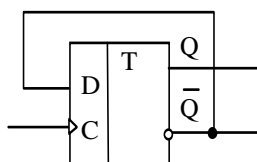


Рис.4

Большинство схем JK-триггеров используют двухтактный принцип переключения. Схема простейшего JK-триггера

показана на рис.5. Она включает логические цепи управления и два RS-триггера, один из которых принято называть "мастер", другой – "помощник".

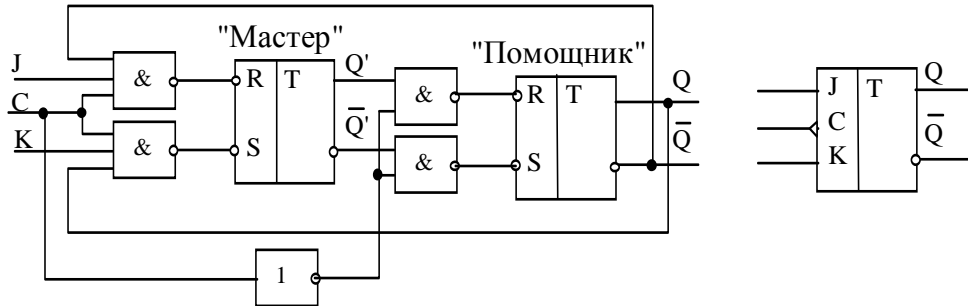


Рис.5

Логические функции, определяющие состояние RS входов внутренних RS-триггеров схемы, приведены ниже.

$$R_M = \overline{J \cdot \overline{Q} \cdot C}, \quad R_{II} = \overline{Q' \cdot C},$$

$$S_M = \overline{K \cdot Q \cdot C}, \quad S_{II} = \overline{\overline{Q'} \cdot C}.$$

Из этих формул следует, что при высоком уровне на тактовом входе С (логической 1) RS входы триггера-помощника находятся в нейтральном состоянии ( $R_{II}=1$  и  $S_{II}=1$ ). Триггер-помощник при этом переключаться не может, но может изменяться состояние триггера-мастера, причем этим изменением управляет триггер-помощник. Легко убедиться, что изменения состояний триггера-мастера при этом соответствуют таблице 5.





Когда на С входе появится 0, RS входы триггера-помощника примут следующие состояния  $R_{II} = \overline{Q'}$ ,  $S_{II} = Q'$ . В результате триггер-помощник установится в состояние, противоположное состоянию триггера-мастера ( $Q = \overline{Q'}$ ).

Таблица 5

		С	Q'
0	0	1	Q'
0	1	1	1
1	0	1	0
1	1	1	Q

Суммируя изложенное, можно составить таблицу изменения состояний JK-триггера относительно выходов  $Q$  и  $\bar{Q}$  (таблица 6).

Таблица 6

		C	$Q_{n+1}$
0	0		$Q_n$
0	1		0
1	0		1
1	1		$\bar{Q}_n$

Таким образом, JK-триггер при подаче на управляющие входы JK комбинации 00 сохраняет состояние, предшествующее заднему фронту тактового импульса C; при комбинации 01 – по заднему фронту тактового импульса триггер устанавливается в состояние 0; при комбинации 10 – по заднему фронту тактового импульса триггер устанавливается в состояние 1; при комбинации 11 – триггер работает в счетном режиме, т.е. меняет свое состояние на противоположное по каждому заднему фронту тактового импульса.

На основе триггеров можно построить различные устройства дискретной автоматики и вычислительной техники. Наиболее часто триггеры используются в счетчиках и регистрах сдвига.

На рис.6 показаны два трехразрядных счетчика последовательного счета на JK-триггерах (рис.6а) и на D-триггерах (рис.6б).

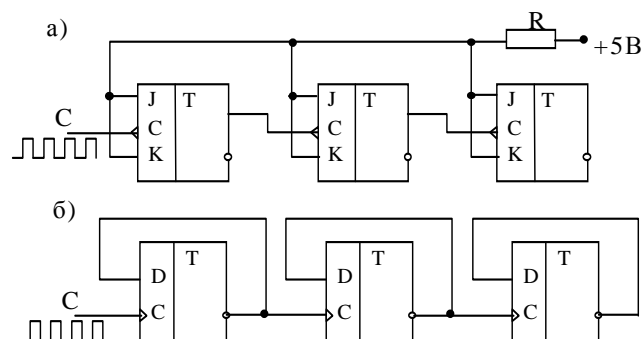


Рис.6

Так как JK входы всех триггеров в первой схеме

подключены через резистор  $R$  к высокому потенциалу, то триггеры изменяют свое состояние на противоположное при перепаде напряжения на их  $C$  входе с высокого уровня на низкий (по заднему фронту). Вход  $C$  первого триггера подключен к генератору тактовых импульсов, Вход  $C$  последующих триггеров подключен к прямому выходу предыдущего триггера. Поэтому каждый триггер изменяет свое состояние при переходе предыдущего триггера из 1 в 0. При поступлении тактовых импульсов последовательность двоичных кодовых комбинаций в счетчике будет иметь следующий вид (таблица 7). С приходом восьмого импульса счетчик переполнится и все его триггеры сбросятся в ноль. Далее счет продолжится. Разрядность счетчика можно наращивать, увеличивая число триггеров.

Таблица 7

Число импульсов	Код	Число импульсов	Код
0	000	4	100
1	001	5	101
2	010	6	110
3	011	7	111

Аналогично устроен счетчик на  $D$ -триггерах (рис.6б). Для обеспечения счетного режима  $D$ -триггеров необходимо соединить инверсный выход триггера с его  $D$  входом. Кроме того, этот счетчик в отличие от предыдущего будет переключаться по переднему фронту тактовых импульсов.

На рис.7 приведены схемы регистров сдвига на  $JK$ -триггерах и на  $D$ -триггерах.

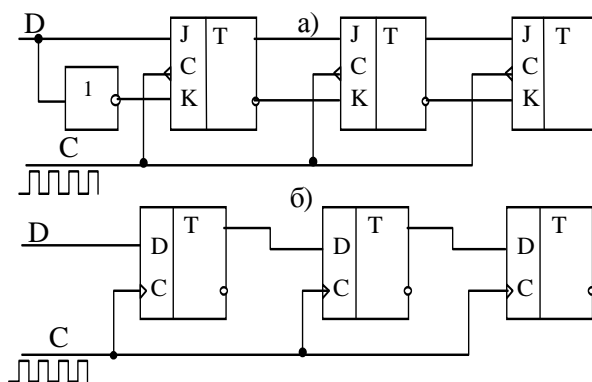


Рис.7



Нетрудно видеть, что в этих цепочках триггеров двоичные данные с предыдущего триггера будут по каждому тактовому импульсу передаваться следующему триггеру, т.е. будут сдвигаться вправо на один триггер. Разница между регистрами заключается в том, что в регистре на JK-триггерах сдвиг будет происходить по заднему фронту тактовых импульсов, а в регистре на D-триггерах – по переднему фронту.

### 3. Краткое описание исследуемых схем и установок

При выполнении данной лабораторной работы для изучения схем триггеров используется программная система схемотехнического моделирования Electronics Workbench. После запуска программы подготовленные заранее изучаемые схемы необходимо загрузить из соответствующего файла. В результате в рабочем поле Electronics Workbench появляется схема установки. Далее приведено краткое описание этих установок.

На рис.8 приведена схема для изучения RS-триггеров. Схема загружается из файла `triggrs0.ewb`. Схема включает два триггера на элементах И-НЕ (DD1.1 и DD1.2) и ИЛИ-НЕ (DD2.1 и DD2.2), два управляющих ключа S и R и логические пробники для световой индикации состояний входов и выходов. Установка позволяет проследить функционирование триггеров при различных состояниях входных RS сигналов.

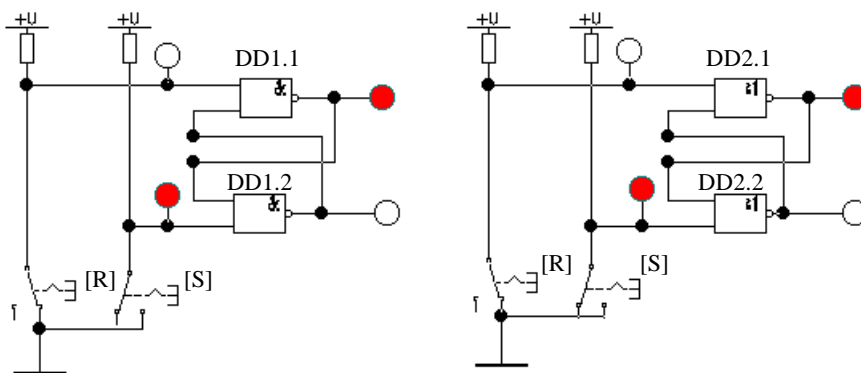


Рис.8

Следующая установка загружается из файла `triggrs.ewb` и содержит такие же триггеры, но входные сигналы в ней формируются генератором слов, а контроль состояний входов и выходов осуществляется логическим анализатором, который позволяет наблюдать временные диаграммы сигналов (рис.9).

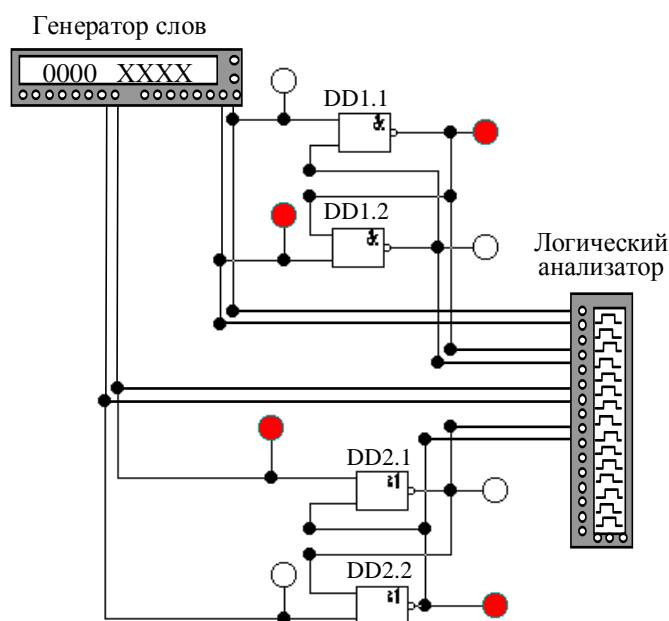


Рис.9

Аналогично построены установки для изучения других типов триггеров. Для изучения D-триггеров используется установка (рис.10), включающая два D-триггера DD1.1 и DD1.2 (ТМ2). Схема загружается из файла `triggdc.ewb`. Для подачи входной бинарной тестовой последовательности и для контроля состояния триггеров используются генератор слов и логический анализатор. Тактовые импульсы вырабатывает импульсный генератор G. Для установки триггеров в 0 и 1 используются ключи R и S. Один триггер (DD1.1) работает в обычном режиме D-триггера, второй (DD1.2) – в режиме счетного триггера.

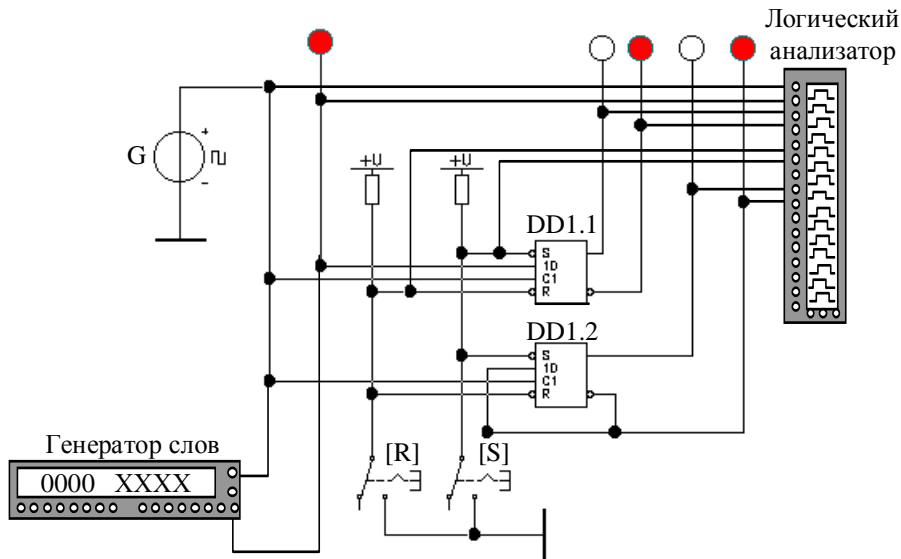


Рис.10

На рис.11 показана схема установки для изучения триггера-защелки. Установка загружается из файла `triggde.ewb`.

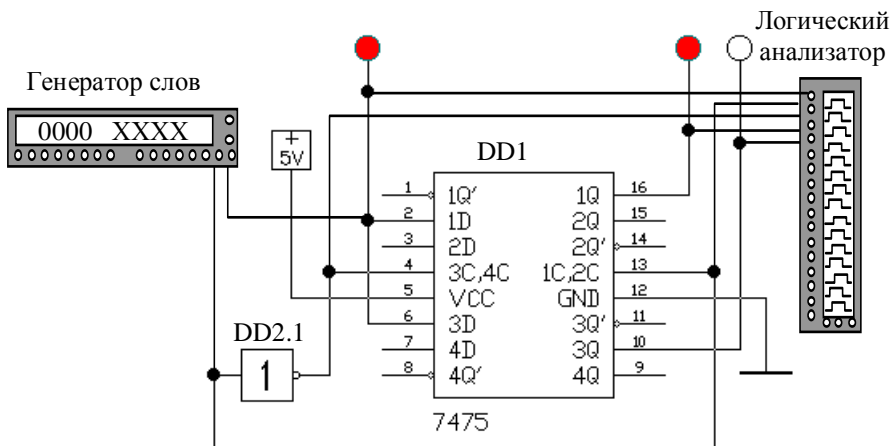


Рис.11

В ней используется микросхема ТМ5, содержащая 4 триггера-защелки в одном корпусе. Активно используется один из этих триггеров, у которого входы и выходы помечены индексом 1 (1C, 1D, 1Q, 1Q').

На рис.12 показана схема установки для изучения JK-триггера ТВ9.

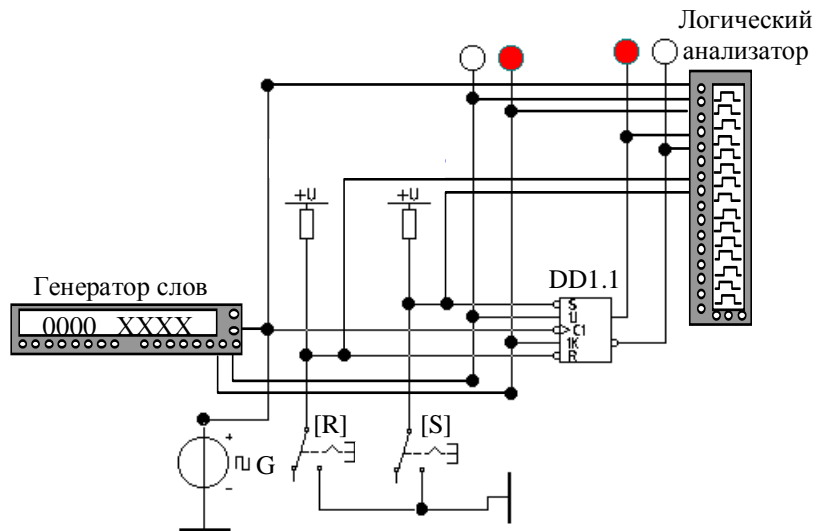


Рис.12

Установка загружается из файла `triggjk.ewb`. Средства контроля и формирования тестовых последовательностей те же, что и в ранее рассмотренных схемах.

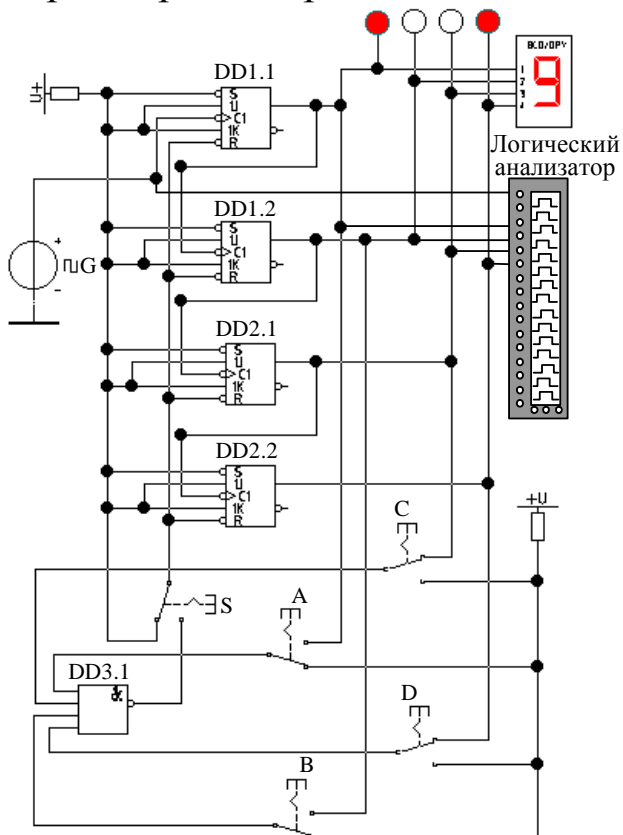


Рис.13

С помощью триггеров строятся различные устройства дискретной автоматики и вычислительной техники. В данной работе предусмотрено изучение простейших устройств на триггерах.

На рис.13 показана схема для изучения счетчика на JK-триггерах.

Схема загружается из файла `triggcount1.ewb`. Этот счетчик содержит четыре JK-триггера (DD1.1, DD1.2, DD2.1 и DD2.2), включенных в счетном режиме. Тактовый вход каждого триггера подключен к выходу предыдущего триггера. При этом обеспечивается счет поступающих на вход первого триггера тактовых импульсов. Счетчик считает от нуля до 15 (в двоичном коде от комбинации 0000 до комбинации 1111), после чего переполняется (сбрасывается в ноль). Логическая схема И-НЕ (DD3.1) позволяет изменять коэффициент пересчета счетчика

При состоянии ключа S, показанном на схеме установки, низкий уровень на выходе схемы И-НЕ может обнулить счетчик, сбросив все триггеры в ноль по R входам. Чтобы это произошло, необходимо присутствие четырех единиц на входах схемы И-НЕ.

С помощью ключей A, B, C и D можно обеспечить появления четырех единиц на входах схемы сброса при произвольно выбранной кодовой комбинации в счетчике. В результате, когда счетчик досчитает до данной кодовой комбинации, произойдет сброс счетчика. Далее счетчик продолжит счет с нуля.

Так при положении ключей A, B, C и D, показанном на схеме, сброс счетчика произойдет при коде  $1100_b = 12_{dec}$ . Таким образом, счетчик в данной схеме будет считать от нуля до одиннадцати и следующим импульсом сбрасываться в ноль.

Следующее устройство, рассматриваемое в данной работе, представляет собой шестизрядный регистр сдвига (рис.14). Схема загружается из файла `triggrg.ewb`.

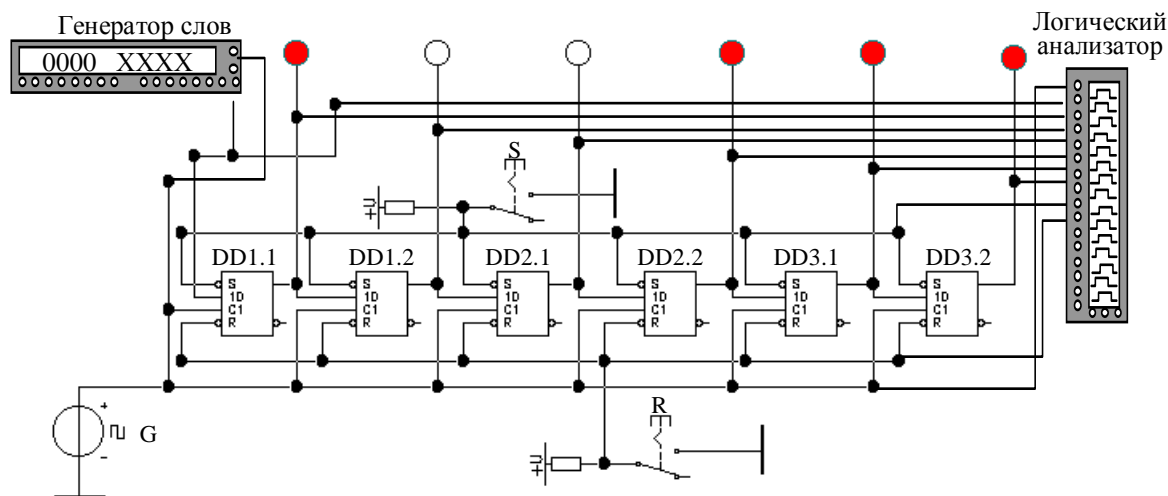


Рис.14

В регистре используются D-триггеры (DD1.1, DD1.2, DD2.1, DD2.2, DD3.1, DD3.2). Входная тестовая последовательность вырабатывается генератором слов, диаграммы сигналов можно наблюдать с помощью логического анализатора.

В этом регистре информация последовательно по каждому тактовому импульсу генератора G передается от предыдущего триггера следующему, т.е. сдвигается на один разряд вправо.

#### 4. Порядок выполнения работы

4.1. Произведите запуск программы Electronics Workbench. Поочередно открывайте файлы, приведенные в таблице 8. При этом на рабочем поле экрана монитора будет появляться изображение экспериментальных установок, включающих исследуемые схемы.

Таблица 8

NN	Имя файла	Схема устройства
1	tiggrs0.ewb	RC-триггеры на схемах И-НЕ и ИЛИ-НЕ
2	triggrs.ewb	RC-триггеры на схемах И-НЕ и ИЛИ-НЕ(временные диаграммы)
3	triggrdc.ewb	D-триггеры (ТМ2)
4	triggrde.ewb	Триггеры-защелки (ТМ7)
5	triggrjk.ewb	JK-триггеры (ТВ9)
6	triggrcount1.ewb	Двоичный счетчик на D-триггерах
7	triggrg.ewb	Регистр сдвига на D-триггерах

4.2. С помощью экспериментальных установок изучите принцип действия, устройство и особенности функционирования различных типов триггеров.

4.3. С помощью генератора слов и управляющих ключей сформируйте различные режимы работы триггеров, зарисуйте диаграммы сигналов, наблюдаемых на логическом анализаторе, и объясните их.

4.4. Изучите принцип действия, устройство и особенности функционирования счетчика на JK-триггерах.

4.5. С помощью управляющих ключей А, В, С, D и S установите коэффициент пересчета счетчика, зарисуйте диаграммы сигналов, наблюдаемых при работе счетчика на логическом анализаторе, и объясните их.

4.6. Изучите принцип действия, устройство и особенности функционирования регистра сдвига на D-триггерах.

4.7. С помощью генератора слов управляющих ключей R и S сформируйте характерные режимы работы регистра, позволяющие продемонстрировать его функционирование, зарисуйте диаграммы сигналов, наблюдаемых при работе регистра на логическом анализаторе, и объясните их.

4.8. Самостоятельно по заданию преподавателя разработайте схему счетчика, смоделируйте его работу и зарисуйте диаграммы сигналов, полученные с помощью логического анализатора, и объясните их.

4.9. Самостоятельно по заданию преподавателя разработайте схему регистра сдвига, смоделируйте его работу, используя генератор слов в качестве источника тестовой последовательности, зарисуйте диаграммы сигналов, полученные с помощью логического анализатора, и объясните их.

## **5. Содержание отчета**

Отчет по лабораторной работе должен включать:

- изображение изучаемых схем триггеров, счетчиков и регистров и их краткое описание,
- описание выполненных экспериментов (тестовые

последовательности, состояние управляющих ключей и наблюдаемые сигналы),

- диаграммы сигналов и краткие пояснения к ним,
- оценку результатов и выводы о проделанной работе.

## **Литература**

1. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства. Учебное пособие для втузов, - СПб, "Политехника", 1996г. – 885с.
2. Шило В.Л. Популярныe цифровые схемы. Справочник, М., "Радио и связь", 1989г. – 352с.
3. Карлащук В.И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и ее применение. М., "Солон-Р", 1999г. – 506.
4. Электротехника и электроника в экспериментах и упражнениях. Практикум на Electronics Workbench. М. "Додэка".1999г. – т.1 – 304, т.2 – 324.

## **ЛАБОРАТОРНАЯ РАБОТА N4 Счетчики**

### **1. Цель работы**

Целью работы является изучение различных типов счетчиков, их устройства, режимов работы и особенностей функционирования, а также приобретение практических навыков использования средств системы схемотехнического моделирования Electronics Workbench при изучении счетчиков.

### **2. Основные сведения о счетчиках**

Простейшие счетчики представляют собой цепочки последовательно соединенных счетных триггеров, у которых счетный вход триггера соединен с выходом предыдущего. Так как переключение триггеров происходит в этих счетчиках





1. Для этого следует в счетчике на JK-триггерах подключить счетный вход к инверсному выходу предыдущего триггера (рис.1в), а в счетчике на D-триггерах – к прямому выходу предыдущего триггера (рис1.г).

В асинхронных счетчиках задержка переключения счетчика нарастает с увеличением числа разрядов. Поэтому у многоразрядных счетчиков быстрдействие значительно снижается.

Для любого счетчика всегда известно, какой триггер счетчика должен изменить свое состояние с приходом очередного импульса. Поэтому в принципе можно заблаговременно подготовить управляющие сигналы и с приходом счетного импульса одновременно изменить состояние сразу всех нужных триггеров. Такие счетчики называют синхронными.

Решить задачу построения синхронного счетчика можно различными способами, используя логические или арифметические устройства. Ниже приведены варианты синхронных счетчиков (рис.2).

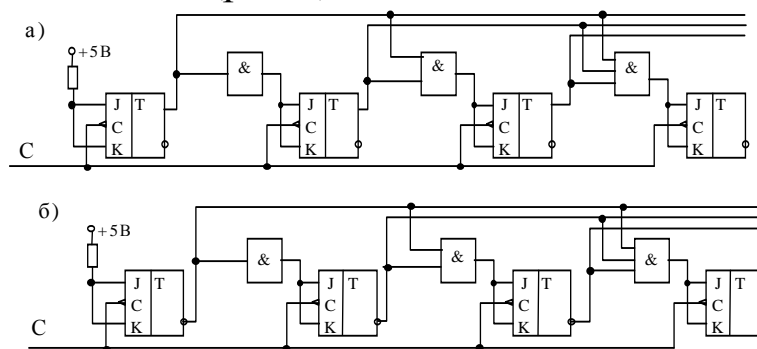


Рис.2

В схеме (рис.2а) показан вариант синхронного счетчика прямого счета. Тактовые импульсы поступают в нем на все триггеры одновременно, а единицы на JK входы всех триггеров, кроме первого, формируются только тогда, когда все предыдущие триггеры находятся в состоянии 1. Поэтому триггеры переключаются синхронно, когда младшие разряды переполнены, т.е. все предшествующие триггеры находятся в состоянии 1.

Для реверсивного счета переполнение соответствует

нулевому состоянию триггеров, и следовательно, переключение триггеров должно происходить, когда все триггеры младших разрядов находятся в состоянии 0. Поэтому у реверсивного синхронного счетчика (рис.2б) схемы И, управляющие счетом, подключены к инверсным выходам триггеров.

### 3. Краткое описание исследуемых схем и установок

На рис.3-4 показаны схемы установок для изучения асинхронных счетчиков на JK-триггерах (прямого счета и реверсивного). В этих установках для контроля состояния счетчиков используются логический анализатор, цифровой индикатор и логические пробники.

В установках предусмотрена возможность управления коэффициентом пересчета счетчика. В счетчике прямого счета (рис.4) вход сброса R всех триггеров через ключ S подключен к логической схеме И-НЕ. Входы схемы И-НЕ через ключи А, В, С, D могут подключаться к выходам триггеров. При соответствующем положении управляющих ключей можно обеспечить сброс счетчика в нулевое состояние после достижения любой кодовой комбинации.

При положении ключей, показанном на схеме, сброс происходит при коде  $1100_{\text{bin}}=12_{\text{dec}}$ , т.е. счетчик считает не от нуля до 15, а от нуля до 11 и сбрасывается в ноль следующим импульсом. Изменив состояние ключей, можно изменить коэффициент пересчета.

В реверсивном счетчике начальное состояние счетчика соответствует коду  $1111_{\text{bin}}=15_{\text{dec}}$ . Поэтому для управления коэффициентом пересчета в этом случае при достижении в счетчике определенной кодовой комбинации его надо устанавливать в начальное состояние 1111. Поэтому начальная установка триггеров счетчика осуществляется по S входам. Кроме того, логическая схема сброса должна реагировать на появление нулей в соответствующих триггерах счетчика. Потому схема И-НЕ заменена в этом случае на схему ИЛИ. При положении ключей, показанном на схеме, установка единиц в

счетчике происходит при коде  $0011_{\text{bin}}=3_{\text{dec}}$ , т.е. счетчик считает не от 15 до нуля, а от 15 до 3 и устанавливается в начальное состояние 1111 следующим импульсом. Изменив состояние ключей, также, как и в предыдущей схеме, можно изменить коэффициент пересчета.

На рис.6-7 показаны схемы установок для изучения счетчиков на D-триггерах. Схемы имеют аналогичную структуру и используют те же средства контроля и управления.

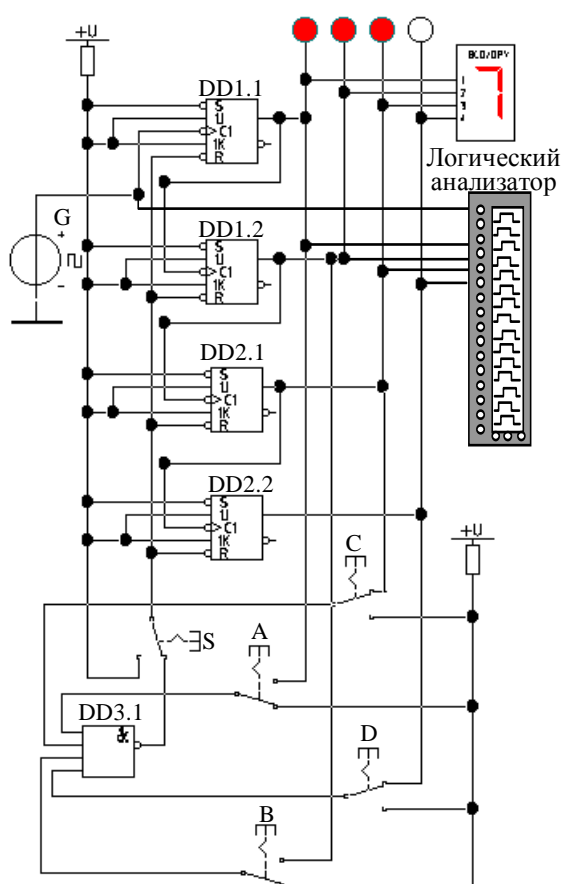


Рис.4

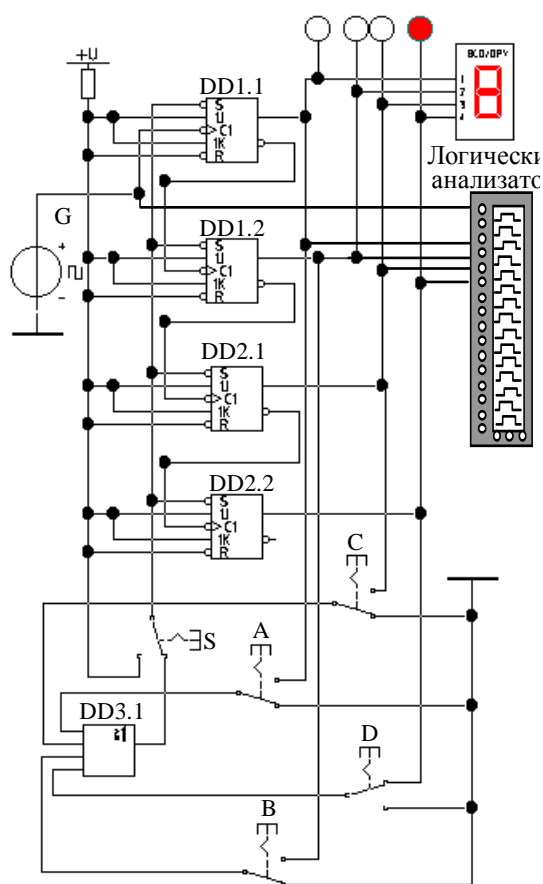


Рис.5

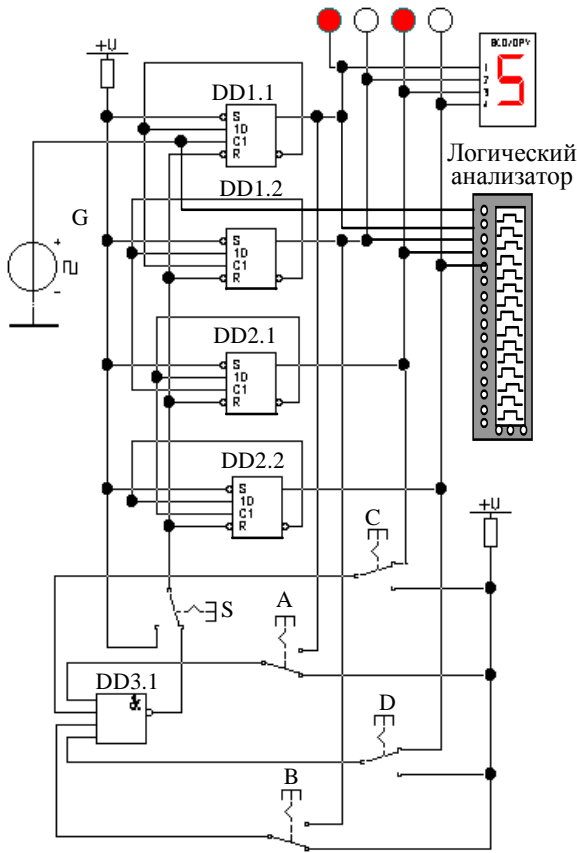


Рис.6

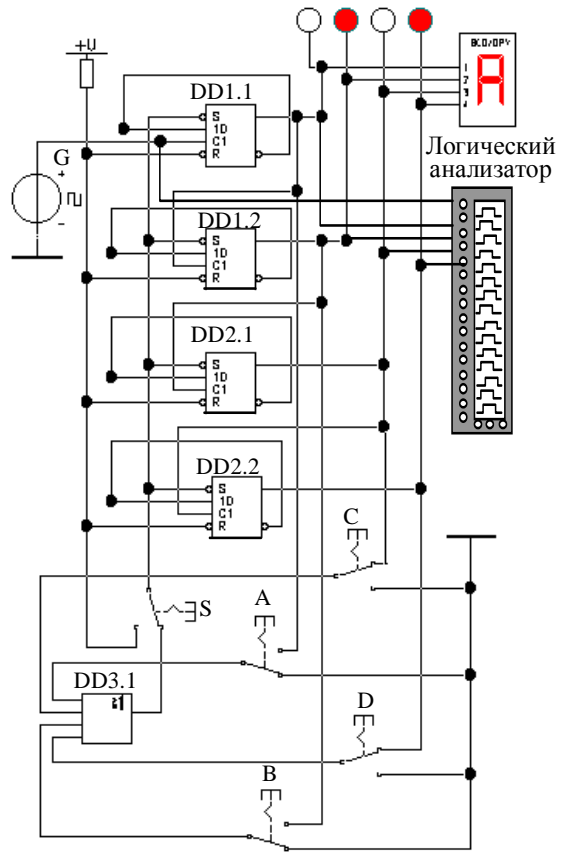


Рис.7

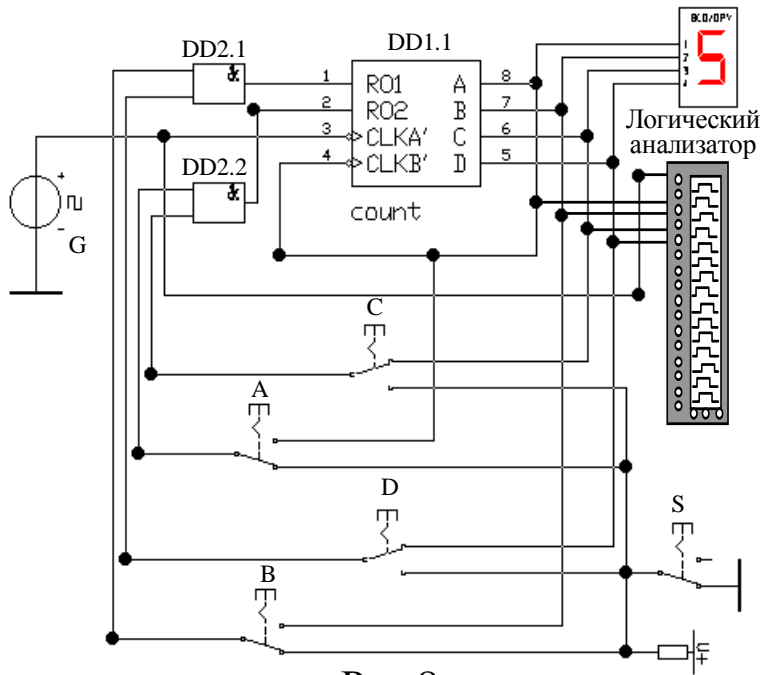


Рис.8

На рис.8 показана схема установки для изучения микросхемы асинхронного счетчика ИЕ5. Схема загружается из файла countИЕ5.ewb. Микросхема ИЕ5 содержит один изолированный триггер (счетный вход  $CLRA'$  и выход А) и трехразрядный счетчик (счетный вход  $CLRB'$  и выходы С, В и D).

Счетчик переключается задним фронтом. Сброс всех триггеров осуществляется комбинацией 11 на входах R01 и R02. Как и в ранее рассмотренных схемах, здесь предусмотрена возможность управления коэффициентом пересчета с помощью ключей S, A, B, C и D.

Для построения 4-х разрядного счетчика следует выход первого триггера А подключить к счетному входу трехразрядного счетчика  $CLKB'$ .

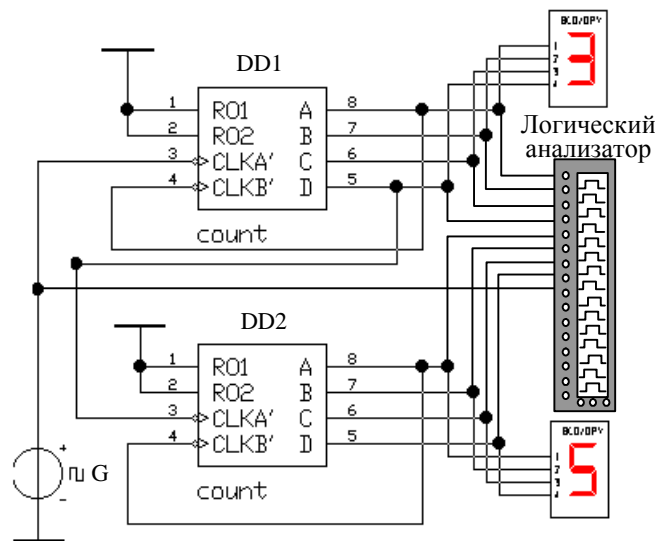


Рис.9

Возможность каскадного наращивания разрядности счетчика можно изучить с помощью следующей установки (рис.9). Схема загружается из файла countИЕ5с.ewb. Схема содержит две микросхемы ИЕ5 (DD1 и DD2) и соответствующие устройства контроля и индикации.

Следующая установка (рис.10) предназначена для изучения синхронного реверсивного десятичного счетчика ИЕ6. Схема загружается из файла countИЕ6.ewb. Установка включает микросхему счетчика DD1, ключ сброса R, ключи управления

направлением счета  $M$ , а также уже использованные ранее средства контроля и индикации. Микросхема ИЕ6 представляет собой счетчик, способный работать в режиме прямого и реверсивного счета. При прямом счете переключение происходит по переднему фронту тактовых импульсов на входе  $UP$ . При этом на входе  $DOWN$  должен быть высокий уровень. Для реверсивного счета тактовые импульсы должны поступать на вход  $DOWN$ , а на входе  $UP$  должен быть высокий уровень.

При прямом счете после достижения счетчиком состояния счетчика  $1001_{bin}=9_{dec}$  на выходе  $B'$  формируется низкий уровень сигнала переполнения, который используется при каскадировании счетчиков. При реверсивном счете сигнал переполнения формируется на выходе  $C'$  при нулевом состоянии счетчика  $0000_{bin}=0_{dec}$ . Сброс счетчика осуществляется высоким уровнем на входе  $CLR$ .

Микросхема ИЕ6 позволяет установить произвольное начальное состояние счетчика низким уровнем на входе  $LOAD'$ . При этом в триггеры счетчика записываются данные с входов  $A$ ,  $B$ ,  $C$  и  $D$ .

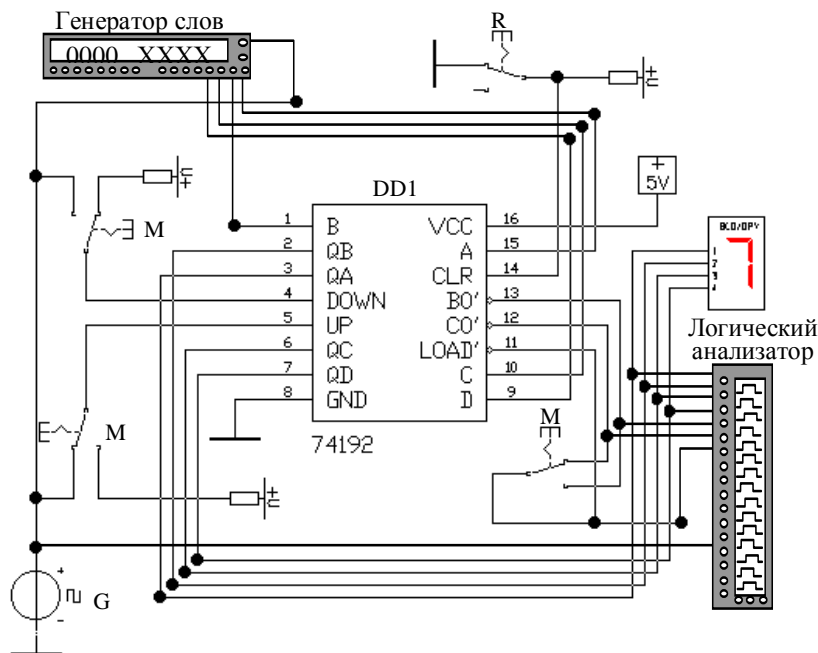


Рис.10

При каскадировании счетчиков ИЕ6 выходы переполнения

предыдущего каскада  $B0'$  и  $C0'$  подключаются к счетным входам UP и DOWN следующего каскада. Установка для изучения каскадного включения микросхем ИЕ6 показана на рис.11. Она включает две микросхемы (DD1 и DD2) счетчиков и используемые обычно средства контроля их состояния.

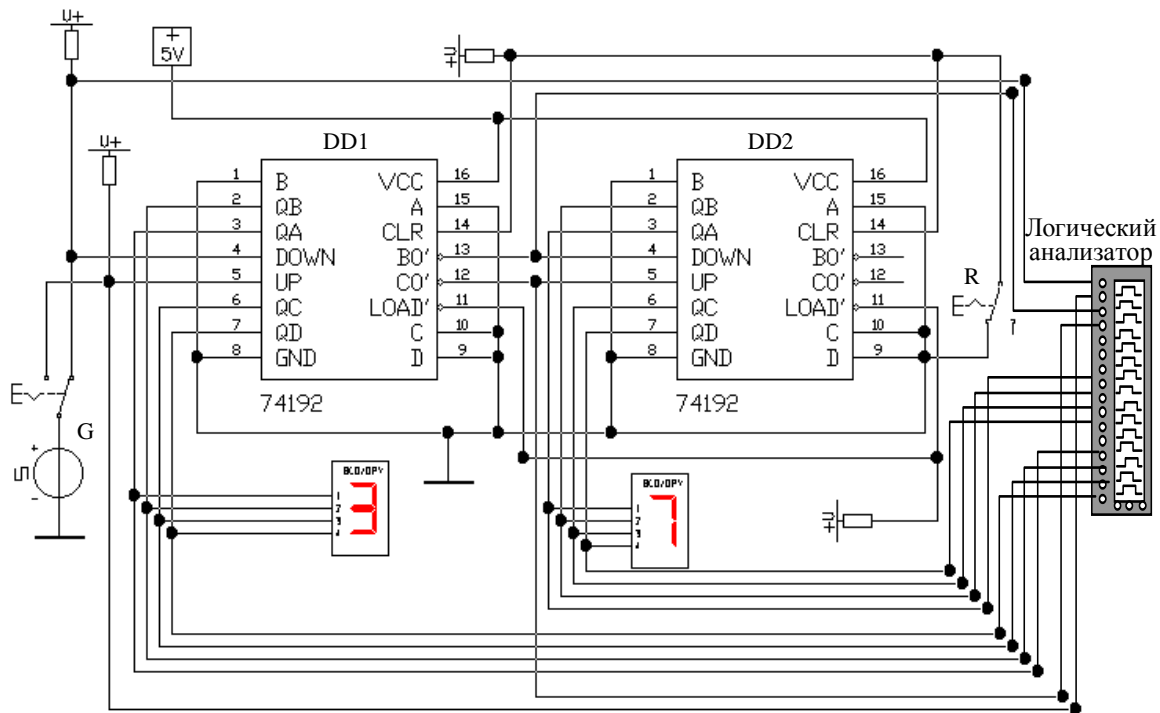


Рис.11

Точно также устроена микросхема счетчика ИЕ7. Отличие от ИЕ6 заключается только в том, что этот счетчик двоичный и считает в режиме прямого счета от 0 до  $1111_{\text{bin}}=15_{\text{dec}}$  и в реверсивном режиме от  $1111_{\text{bin}}=15_{\text{dec}}$  до нуля. Сигнал переполнения при прямом счете формируется в этой микросхеме при коде  $1111_{\text{bin}}=15_{\text{dec}}$ .

#### 4. Порядок выполнения работы

4.1. Произведите запуск программы Electronics Workbench. Поочередно открывайте файлы, приведенные в таблице 2. При этом на рабочем поле экрана монитора будет появляться изображение экспериментальных установок, включающих исследуемые схемы.



Таблица 2

NN	Имя файла	Схема устройства
1	countd.ewb	Асинхронный счетчик (D-триггеры)
2	countdrv.ewb	Реверсивный асинхронный счетчик (D-триггеры)
3	countjk.ewb	Асинхронный счетчик (JK-триггеры)
4	countjkrv.ewb	Реверсивный асинхронный счетчик (JK-триггеры)
5	countIE5.ewb	Асинхронный счетчик IE5
6	countIE5c.ewb	Каскадирование асинхронных счетчиков IE5
7	countIE6.ewb	Десятичный реверсивный синхронный счетчик IE6
8	countIE6c.ewb	Каскадирование реверсивных счетчиков IE6

4.2. Используя имеющиеся средства управления, контроли и индикации состояний схем, изучите особенности функционирования схем счетчиков в различных режимах работы.

4.3. Используя логический анализатор, зарисуйте временные диаграммы сигналов при работе схем в различных режимах и объясните их.

4.4. С помощью логического анализатора определите время переключения различных схем. Зарисуйте соответствующие временные диаграммы, определите по ним предельную скорость счета для различных счетчиков.

## 5. Содержание отчета

Отчет по лабораторной работе должен включать:

- изображение схем изучаемых счетчиков и их краткое описание,
- описание выполненных экспериментов (тестовые последовательности, состояние управляющих ключей и наблюдаемые сигналы),
- диаграммы сигналов и краткие пояснения к ним,
- оценку результатов и выводы о проделанной работе.

## Литература

1. Цифровая схемотехника: Учеб. пособие для вузов / Е. П. Угрюмов. — СПб.: БХВ-Петербург, 2007. — 782 с.:
2. Основы схемотехники устройств радиосвязи, радиовещания и телевидения: Учеб. пособие для вузов / Г. А. Травин. — М.: Высш. шк., 2007. — 606 с.
3. Волович Г.И. Схемотехника аналоговых и аналого-цифровых

электронных устройств. Додэка-XXI, 2011 г. 528 с.

4. Схемотехника измерительных устройств: Учеб. пособие для вузов / Л. Г. Муханин. — СПб.: Лань, 2009. — 281 с.

5. Схемотехника аналоговых электронных устройств: Учеб. пособие для вузов / В. Н. Павлов. — М.: Академия, 2008. — 288 с.

6. Схемотехника электронных средств: Учеб. пособие для вузов / Б. Ф. Лаврентьев. — М.: Академия, 2010. — 334 с.

## СОДЕРЖАНИЕ

ЛАБОРАТОРНАЯ РАБОТА N1. Основные логические элементы	3
1. Цель работы .....	3
2. Основные положения алгебры логики .....	3
3. Основные сведения о логических элементах .....	4
4. Приборы системы Electronics Workbench для анализа логических схем .....	7
5. Краткое описание исследуемых схем и установок .....	12
6. Порядок выполнения работы .....	15
7. Содержание отчета .....	16
Литература .....	16
ЛАБОРАТОРНАЯ РАБОТА N2. Шифраторы и дешифраторы ..	16
1. Цель работы .....	16
2. Основные сведения о шифраторах и дешифраторах .....	17
3. Краткое описание исследуемых схем и установок .....	20
4. Порядок выполнения работы .....	32
5. Содержание отчета .....	33
Литература .....	33
ЛАБОРАТОРНАЯ РАБОТА N3 Триггеры .....	33
1. Цель работы .....	33
2. Основные сведения о триггерах .....	34
3. Краткое описание исследуемых схем и установок .....	41
4. Порядок выполнения работы .....	46
5. Содержание отчета .....	47
Литература .....	48
ЛАБОРАТОРНАЯ РАБОТА N4 Счетчики .....	48
1. Цель работы .....	48
2. Основные сведения о счетчиках .....	48
3. Краткое описание исследуемых схем и установок .....	51
4. Порядок выполнения работы .....	56
5. Содержание отчета .....	57
Литература .....	57

